

SDRC_lite 存储控制器后端 SPEC：读写时序图

复旦大学 梁晨 编写于 2012/04/14

0.1 时序图文档目录：

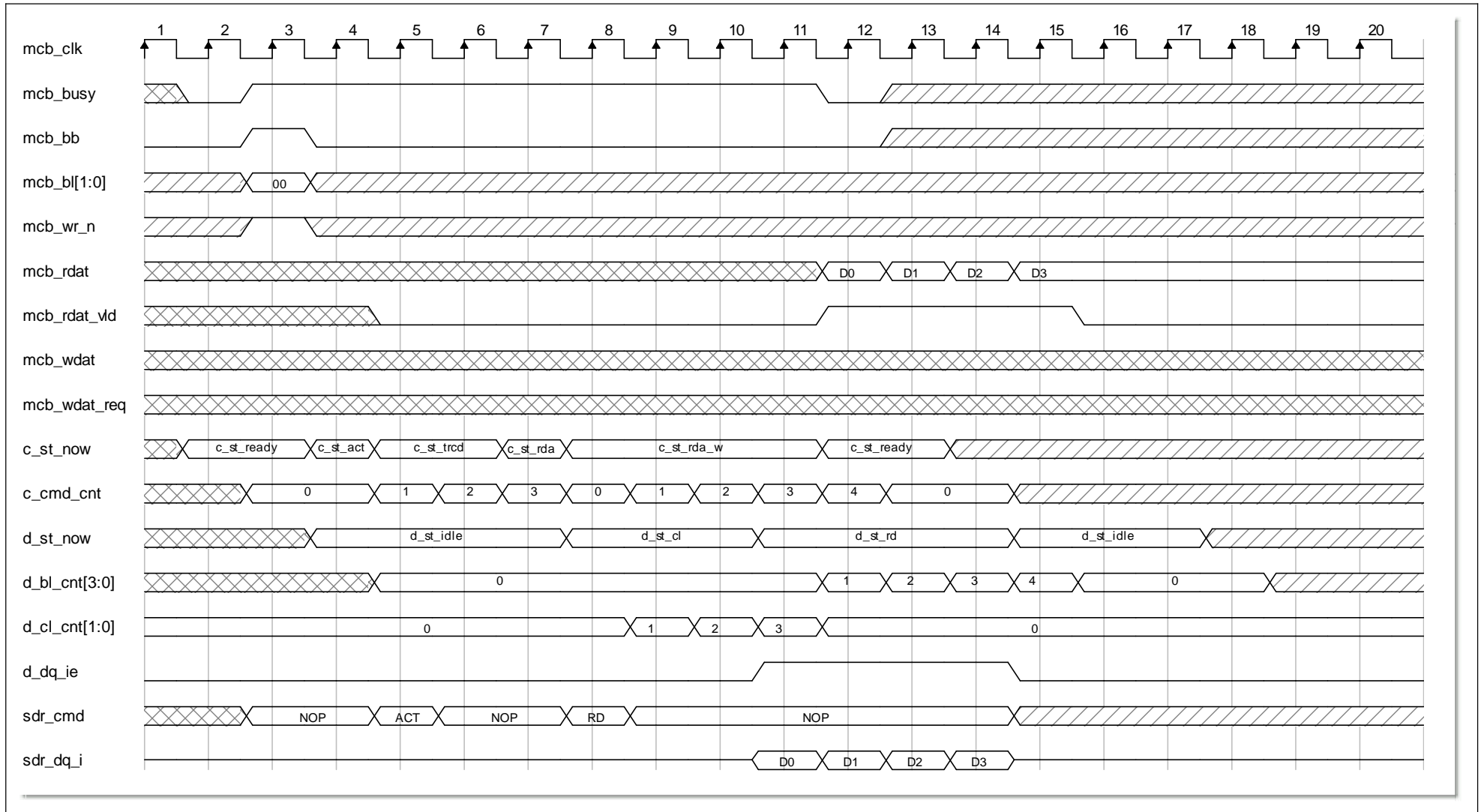
1.1 时序图 01：读时序，系统突发长度为 4	2
1.2 时序图 02：读时序，系统突发长度为 8	3
1.3 时序图 03：写时序，系统突发长度为 4	4
1.4 时序图 04：写时序，系统突发长度为 8	5

0.2 版本历史：

版本	时间	说明
SDRC_lite timing beta2	2012/04/10	设计时参照了实验室的要求、Micron 器件手册、alpha2 版代码，以规划 beta 版的设计。
SDRC_lite timing beta2.1	2012/04/14	修正 SDRAM 写时序错误一处，适当调整，以规划 beta2.1 版的设计。

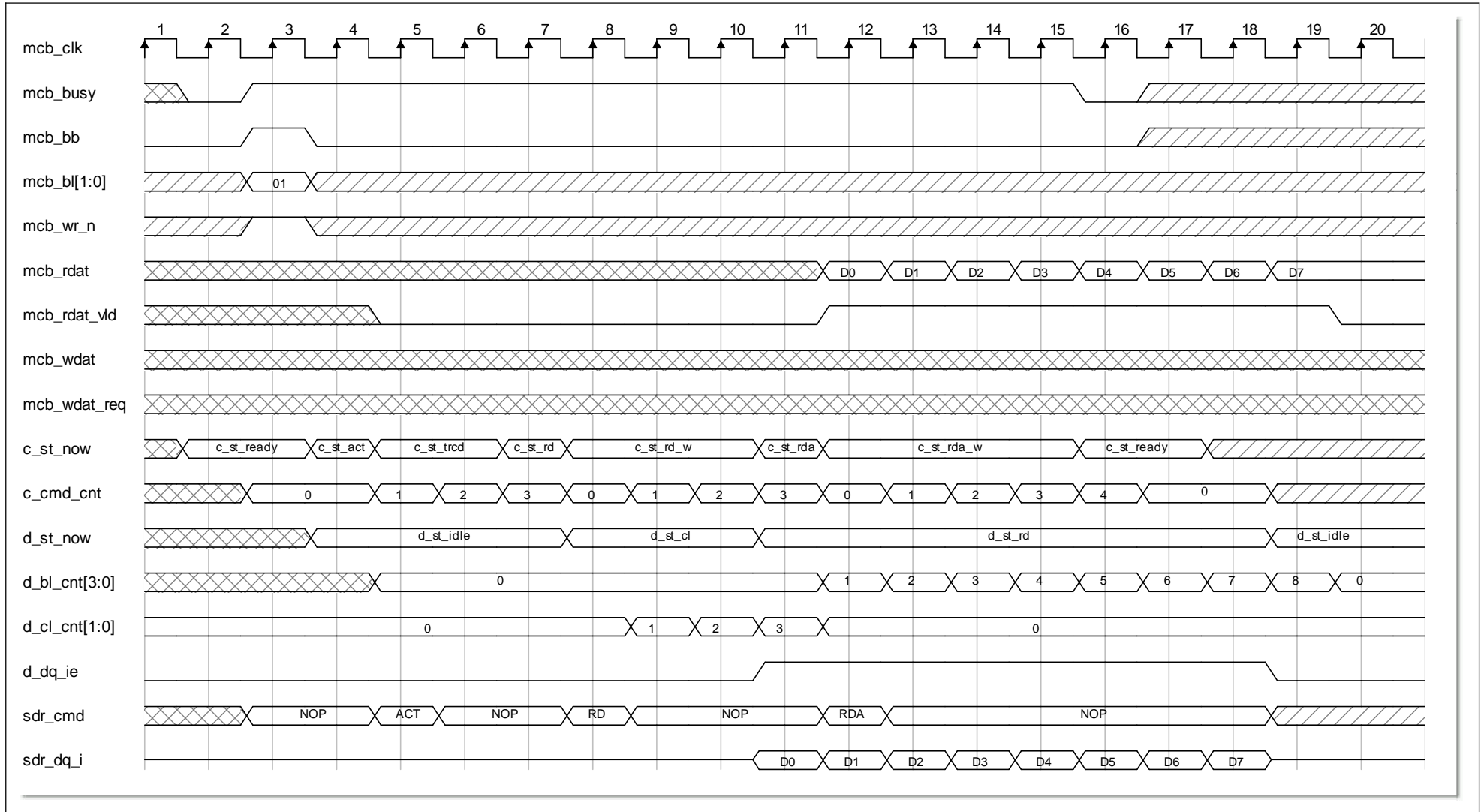
1.1 时序图 01: 读时序, 系统突发长度为 4

SDRAM 相关的参数如下: CL=3, BL=4, CtrP=3, CtrCD=3。



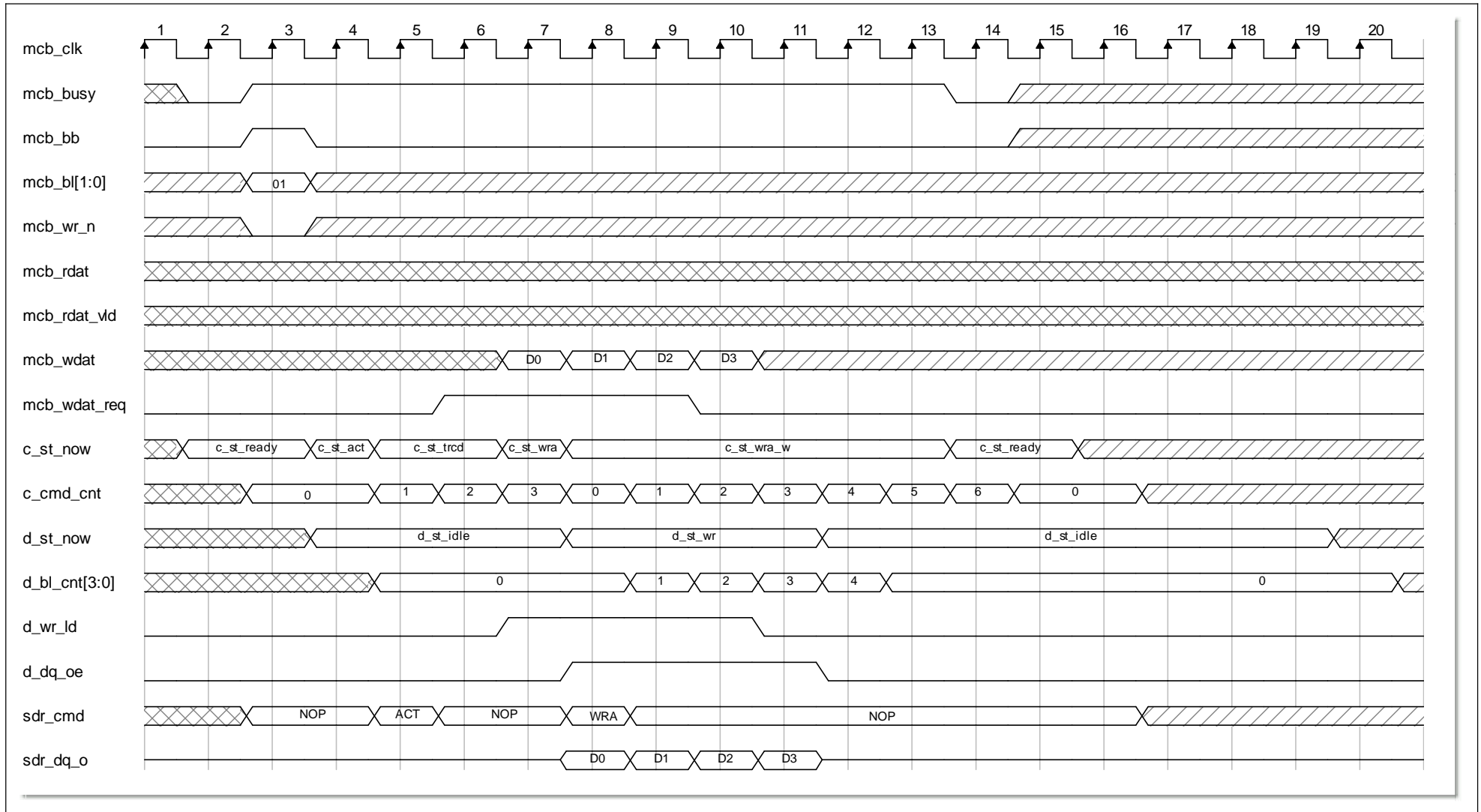
1.2 时序图 02: 读时序, 系统突发长度为 8

SDRAM 相关的参数如下: CL=3, BL=4, CtrP=3, CtrCD=3。



1.3 时序图 03: 写时序, 系统突发长度为 4

SDRAM 相关的参数如下: BL=4, CtDAL=5, CtRCD=3。



1.4 时序图 04: 写时序, 系统突发长度为 8

SDRAM 相关的参数如下: BL=4, CtDAL=5, CtRCD=3。

