

# 面向 H.264 视频编码和 SDR SDRAM 的存储控制后端设计

## 1. 系统概述

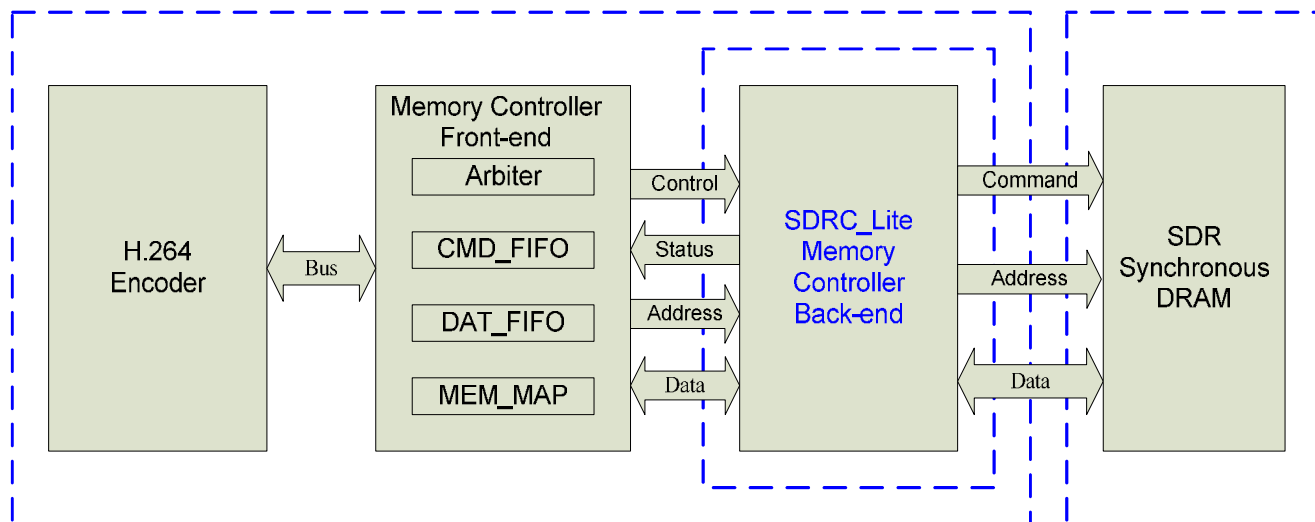
这份设计概要描述的是底层 SDR SDRAM 控制器，它相当于存储控制器的后端。在连接 H.264 视频编码系统前，还需要连接存储控制器的前端。存储控制器的前端，主要包括：地址映射、请求仲裁、数据 FIFO 和指令 FIFO，是一个跨时钟域的单元。存储控制器的后端，主要控制 SDRAM 的刷新与读写操作，工作频率与 SDRAM 操作频率相同。

优秀的存储控制后端，可以减小读写延时，提高 SDRAM 系统中固有硬件带宽的有效利用率。

### 1.1 H.264 视频编码与 SDR SDRAM 的存储控制后端

H.264 编码应用与 SDRAM 存储系统的整体框图如下：

SDRC\_Lite Memory Controller Back-end Beta2  
System Block Diagram



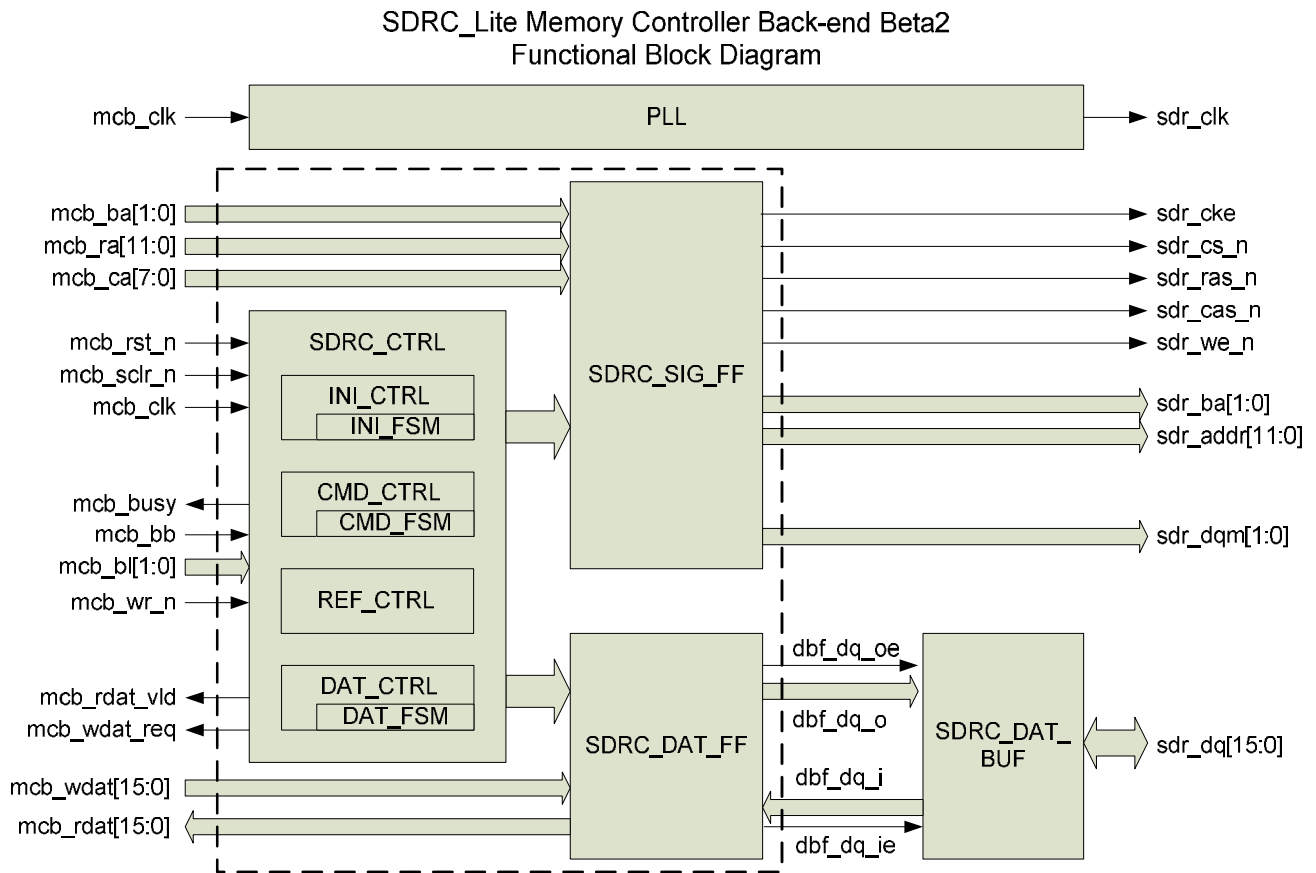
### 1.2 SDRC\_lite 存储控制后端的基本特点

简化的系统读写接口；全自动的 SDRAM 初始化、SDRAM 刷新控制；操作时序符合 PC100 标准和工业界实施标准。基于类 Close Page Policy 的操作原理，能稳定地保持低读写延时、高带宽利用率。

可动态调整的 Burst Length，每次发起读写时，都可以设置 Burst Length 为 4、8、12、16 中的任意值。

将数据位宽、地址位宽、SDRAM 器件的时序参数作为源代码中的 parameter，轻松适应不同的系统设置以及各厂商各型号的 SDR SDRAM 芯片。

## 1.3 存储控制后端顶层功能框图:



## 1.4 存储控制后端顶层信号说明:

(此处以容量为 64Mbit、位宽为 16 位的 SDR SDRAM 为例)

Signal Name	Direction	Description
(Interface to SDR SDRAM)		
sdr_clk	Output	SDRAM clock
sdr_cke	Output	SDRAM clock enable
sdr_cs_n	Output	SDRAM chip select
sdr_ras_n	Output	SDRAM row address strobe
sdr_cas_n	Output	SDRAM column address strobe
sdr_we_n	Output	SDRAM write enable
sdr_dqm[1:0]	Output	SDRAM input/output mask
sdr_ba[1:0]	Output	SDRAM bank address inputs

sdr_addr[11:0]	Output	SDRAM address inputs
sdr_dq[15:0]	I/O	SDRAM data input/output
(Interface to Memory Controller Front-end)		
mcb_clk	Input	MCB clock
mcb_rst_n	Input	MCB asynchronous reset
mcb_sclr_n	Input	MCB synchronous reset
mcb_bb	Input	MCB burst begin
mcb_rw_n	Input	MCB data direction: 0-write, 1-read
mcb_bl[1:0]	Input	MCB burst length: 00-4, 01-8, 10-12, 11-16
mcb_ba[1:0]	Input	MCB bank address
mcb_ra[11:0]	Input	MCB row address
mcb_ca[7:0]	Input	MCB column address
mcb_wdat[15:0]	Input	MCB write data
mcb_rdat[15:0]	Output	MCB read data
mcb_rdat_vld	Output	MCB read data valid
mcb_wdat_req	Output	MCB data to write request
mcb_busy	Output	MCB sdr sdram controller busy

## 1.5 备注

### 1.5.1 相对独立的模块

本设计中，由于硬件的原因，有两个模块相对独立。

PLL 模块。它负责时钟相位调整。控制器时钟经过 PLL 做相移后，输出给 DRAM 时钟信号 sdr\_clk，以优化 SDRAM 操作的时序。相移参数的计算，可以参考 Altera 的文档。

SDRAM 读写三态缓冲模块。数据信号 DQ 是双向端口，其三态缓冲放在此模块中。

### 1.5.2 关于存储控制前端的规划

存储控制前端，将提供类似 Avalon Memory-Mapped Interfaces 的接口，内部包含地址映射、请求仲裁、数据 FIFO 和指令 FIFO 功能，实现跨时钟域的设计。

存储控制前端，一端与 H.264 编码系统连接，一端与本设计概要描述的控制器的连接。

### 1.5.3 相对于上一版本(Alpha 版)的变化:

- [1] 可改变的系统突发读写长度。可以通过 `mcb_b1`，将突发读写长度设为 4、8、12、16。
- [2] SDRAM 的 CL 确定为 3，BL 确定为 4，且模式寄存器初值不再是可调节参数。
- [3] 不再设外部 `refresh` 接口，`refresh` 完全由 SDRAM 控制器内部的计数器控制。
- [4] 指令状态机与数据状态机分离，进一步减小操作延时。

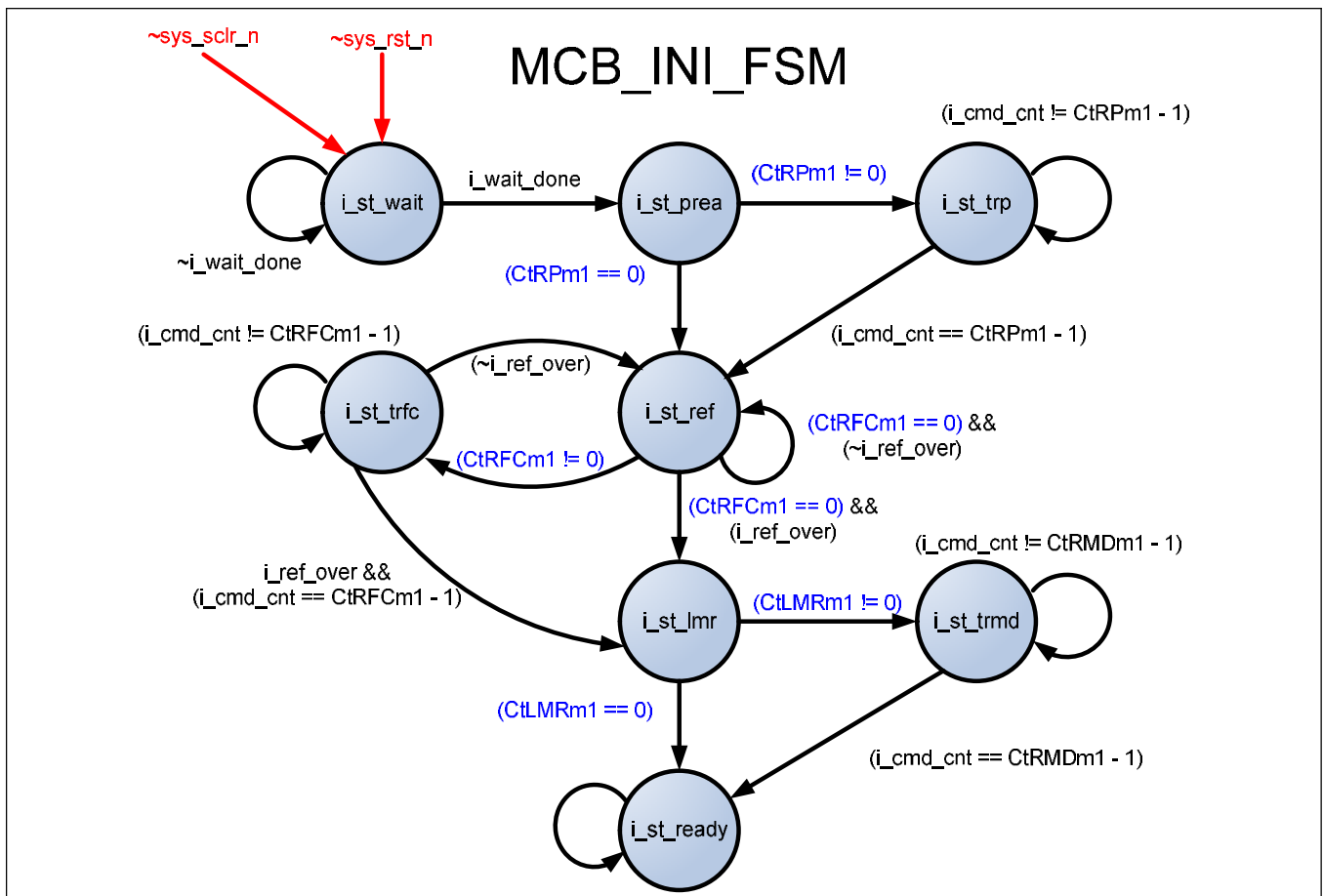
## 2. 存储控制后端核心控制逻辑的设计

### 2.1 初始化状态机

初始化状态机，控制 SDRAM 的上电初始化。设计时，参考了 Intel PC100 标准与工业界约定俗成的规范。初始等待时间、`refresh` 次数，将被作为源代码中的可配置参数。

我在《SDRC\_lite\_spec\_beta2.1\_inlization\_\_ver1.2\_20120414》中更详细的初始化原理与初始化控制单元设计的描述。

初始化状态机的状态转换图如下:



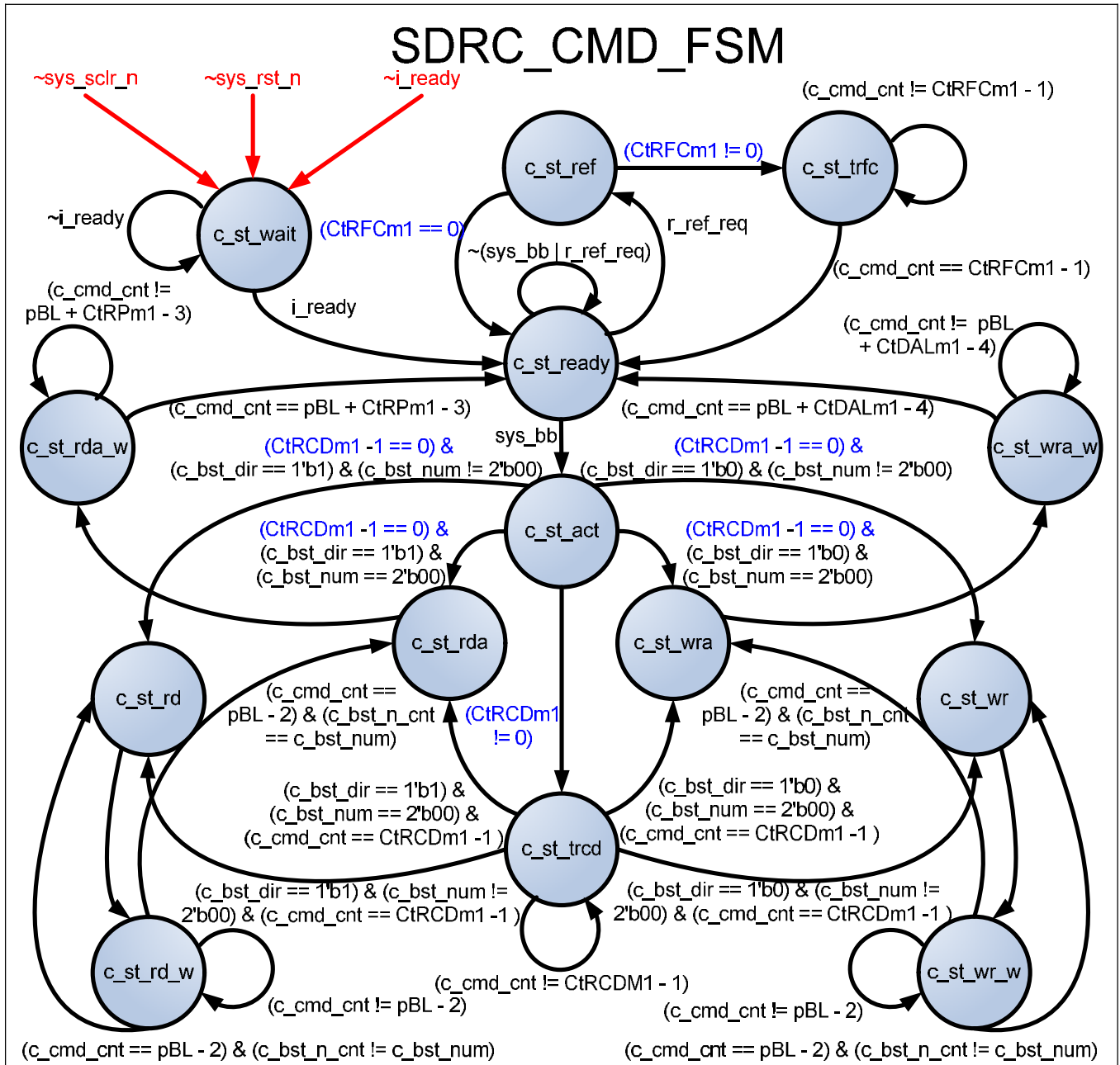
注：图中，蓝色的条件与系统时钟频率与 SDRAM 硬件参数有关，不会映射为硬件参数。

## 2.2 命令状态机

命令状态机，负责与存储控制前端交互、SDRAM 指令发送。它是本设计的核心部件，设计是依照的是优化过的类 Close Page Policy 思想。

Close Page Policy 的原理可参见我的《SDRC\_lite\_basic\_knowledge\_\_ver0.3\_20120414》；关于可变突发长度的实现与 Close Page Policy 的优化，可参见我后续的关于操作时序的文档。

命令状态机的状态转化图如下：

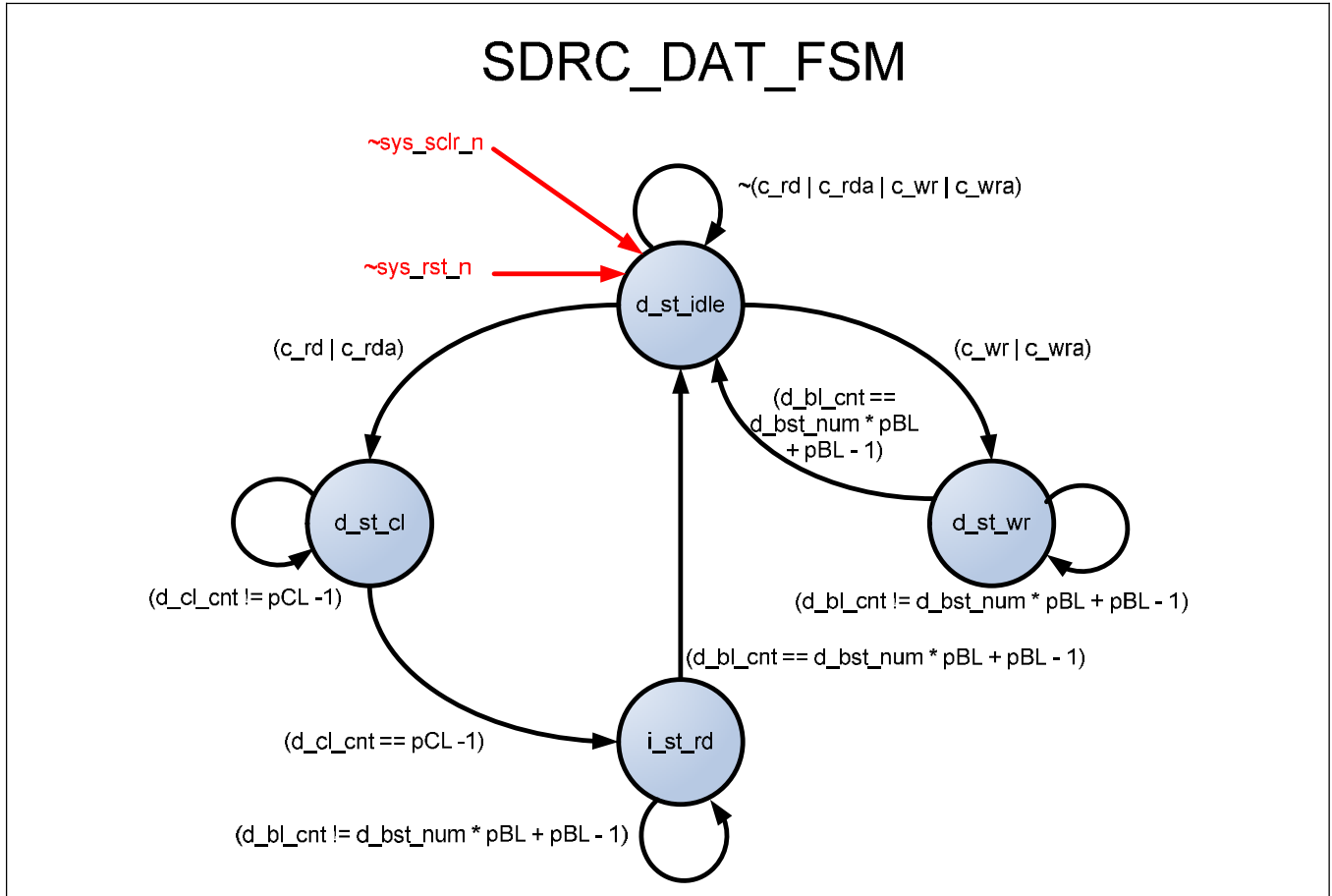


注：图中，蓝色的条件与系统时钟频率与 SDRAM 硬件参数有关，不会映射为硬件参数。

### 2.3 数据状态机

数据状态机，负责与 SDRAM、存储控制前端的数据交互。它减轻了主状态机(指令状态机)，使同时传送指令与数据称为可能，减小了读写延时。

数据状态机相对简单，其状态转换图如下：



### 3 读写操作的时序图

本次设计将严格按照，先出时序图，再出源代码，最后再仿真对比的原则，尽力杜绝“时序靠凑、时序靠仿”的不良设计习惯。

时序图使用 TimeGen 3.2 软件全手工绘制；绘制前，根据信号间的逻辑关系，参照 SDRAM 手册中的时序限制，打过草稿；电子版完成后，又反复检查，更正了一些不合理之处。

时序图包括 4 张：读取(Burst Length = 4)、读取(Burst Length = 8)、写入(Burst Length = 4)、写入(Burst Length = 8)。由于时序图涉及的周期长、信号多，此处画不下，单独放在以下文档中：《SDRC\_lite\_spec\_beta2.1\_timing\_ver0.2\_20120414》。

## A1 版本历史:

版本	时间	说明
SDRC_lite spec beta2	2012/04/12	设计时参照了实验室的要求、Micron 器件手册、alpha2 版代码，以规划 beta 版的设计。
SDRC_lite spec beta2.1	2012/04/14	修正读写时序中的 BUG 两处，微调状态机转换条件，以规划 beta2.1 版的设计。