

投稿栏目: PLD CPLD FPGA应用/基金颁发部门: 国家科技部“863”计划办公室/项目名称: 新型真三维立体显示方法及原理/基金申请人: 吕国强/基金编号: 2007AA01Z302

基于Stratix III的DDR3 SDRAM控制器设计

Design of DDR3 SDRAM Controller based on Stratix III

(特种显示技术教育部重点实验室/安徽省现代显示与成像技术重点实验室/合肥工业大学)

方勇, 吕国强, 胡跃辉

FANG YONG LV GUO-QIANG HU YUE-HUI

摘要: 本文介绍了DDR3 SDRAM的基本特点和主要操作时序,给出了一种基于ALTMEMPHY宏功能的DDR3 SDRAM控制器的设计方法。详述了控制器基本结构和设计思想,分析了各模块功能与设计注意事项,并给出了仿真结果。该控制器已经通过功能仿真,并在Altera公司的StratixIII器件 EP3SL150F1152-C2上完成了实现和验证。

关键词: FPGA; DDR3 SDRAM; ALTMEMPHY; 有限状态机

中图分类号: TP911.7 **文献标识码:** B

Abstract: This paper introduces the basic character and timing operation of DDR3 SDRAM and presents the design method of DDR3 SDRAM controller based on ALTMEMPHY. The main structures and design anamnesis of the DDR3 controller are discussed, then the function of modules and the key points of design are analyzed as well. Finally, the simulation result is given. At present, the simulation and validation of the controller has been accomplished on Stratix III EP3SL150F1152-C2 device.

Keywords: FPGA; DDR3 SDRAM; ALTMEMPHY; Finite State Machine

1 引言

DDR3 SDRAM是由JEDEC(电子设备工程联合委员会)制定的全新下一代内存技术标准,具有速度更快、功耗更低、效能更高以及信号质量更好等优点,对于解决高速系统(例如某些高速图像处理系统)设计中由于存储器的处理速度和带宽所产生的瓶颈,改善和提高系统性能提供了更好的解决方案。

本文在分析DDR3 SDRAM的特点和基本控制方式的基础上,给出了采用Altera公司最新的ALTMEMPHY高速存储器接口方案设计的DDR3 SDRAM控制器,并在Altera公司的StratixIII系列FPGA上完成了验证和实现。目前,使用该控制器的DDR3 SDRAM已经在某真三维立体显示器项目中作为高速图像缓存得到了实际应用。

2 DDR3 SDRAM的特点

与上一代器件相比,DDR3内存技术仍然采用了在时钟的上升沿和下降沿同时进行数据传输的基本方式,工作原理与控制方式基本相同,但又有着一些不同的新特点:拥有两倍于DDR2的8bit预取(prefetch)能力;突发长度(Burst Length, BL)固定为8,且增加了突发突变(Burst Chop)模式;新增了重置(Reset)功能,可以使DDR3达到功耗最小的状态等^[1]。

与其它SDRAM一样,DDR3 SDRAM的操作指令主要通过RAS(行地址选择)、CAS(列地址选择)、WE(写使能信号)、CS(片选信号)以及CKE(时钟使能信号)的高低电平组合来实现。但基于其自身特点,DDR3指令集内不但对原有的指令做了很多改动,同时也增加了一些新的指令,时序方面也有一定的差别。

在读写操作方面,与DDR2一样,读操作时由内存给出一个与数据同步的DQS信号,它的边沿与读数据一致;写操作时,控制器同样给出一个与数据同步的数据滤波信号DQS,它的边沿处于

写数据当中，DDR3具有on-the-fly突发模式，允许用户在此模式下选择4或8的突发长度。图1给出了DDR3内存典型的读 / 写操作时序图^[2]。

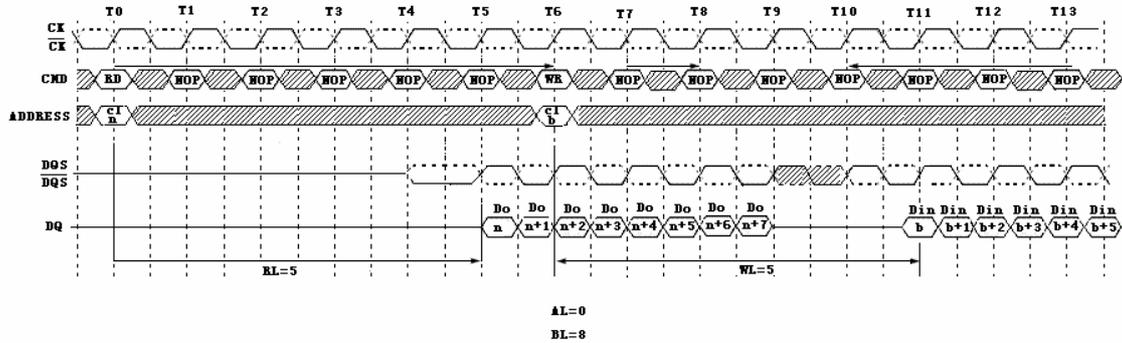


图1 DDR3 SDRAM读 / 写操作时序图

3 DDR3 SDRAM控制器的设计

DDR3 SDRAM控制器的设计方法采用了Altera推荐的ALTMEMPHY+用户自定义控制器的结构。与传统SDRAM控制器相比，此结构加入了ALTMEMPHY接口部分。ALTMEMPHY宏功能是Altera开发的能够动态自校准的数据通路，允许用户在Stratix III等器件中快速建立物理层接口（physical layer interface），连接FPGA内部控制逻辑和外部存储器。使用ALTMEMPHY的突出优点是可以训练模式和校准功能来消除FPGA和存储器在制造工艺中的偏差。在工作过程中，它利用跟踪机制来跟踪并补偿FPGA内部的电压或者温度变化，而且不会中断数据传输。DDR3 SDRAM控制器的逻辑框图如图2所示，主要包括ALTMEMPHY和用户自定义控制器两部分。

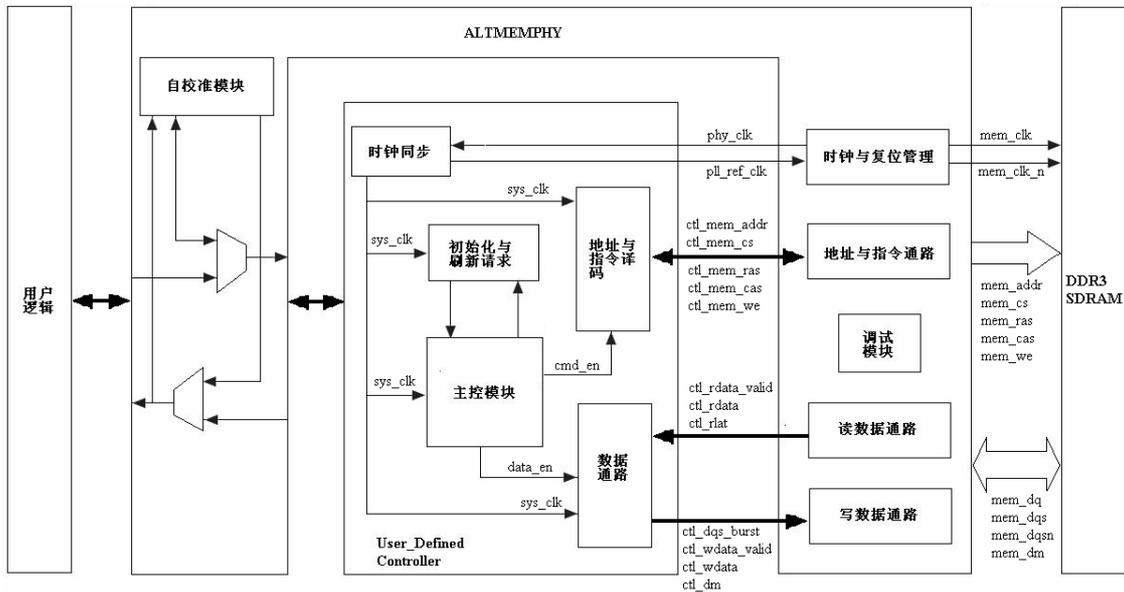


图2 DDR3 SDRAM控制器逻辑框图

为了简化内部逻辑设计，提高系统性能，控制器设计采用半速率方案。所谓半速率方案，就是将双倍数据速率（DDR）转换为时钟频率减半，并且只在时钟上升沿进行数据采集的半数据速率（HDR）。采用半速率方案后，内部逻辑频率为外部存储器接口频率的一半，但是内部数据总线的宽度是外部数据总线宽度的4倍。在内部频率受限，外部引脚数给定时，半速率方案比全速率方案支持的带宽加倍。

3.1 ALTMEMPHY设计

ALTMEMPHY是可配置参数的宏功能，用户可根据设计需要配置相应参数^[3]。ALTMEMPHY主要包括时钟与复位管理、地址与指令通路、读数据通路、写数据通路、自校准等组成模块。

时钟与复位管理模块主要负责时钟信号的产生与移相，以及时钟网络类型的控制；地址与指令通路负责接收控制器输出的地址和指令信号，并将其从半速率时钟转换为全速率时钟；读数据通路是采集从存储器读出的数据，并将其再同步到系统时钟域；写数据通路将控制器输出的半速率数据转换为双倍速率（DDR）信号，以写入DDR3器件；自校准模块用于系统上电时自动校准DDR3器件的过程变量，以获得最大的时序余量，消除来自读数据通路的不确定因素，提高系统高频工作下的稳定性。图3所示为Stratix III器件中读数据通路的结构框图，由图中可以看出DDR与HDR转换的过程中数据总线宽度及时钟频率的变化。

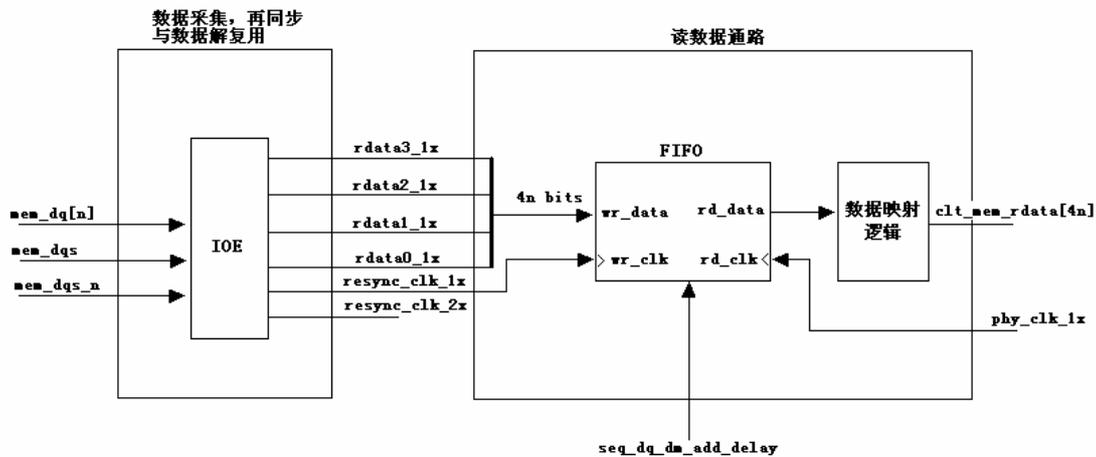


图3 Stratix III器件中读数据通路结构

3.2 自定义控制器设计

用户自定义控制器部分主要由以下模块组成：主控模块、地址与指令译码、数据缓冲、时钟同步、初始化与刷新请求等^[4]。

主控模块主要由有限状态机实现，完成系统从上电开始所有状态间的转换、任务调度、总线仲裁、时序同步等，并对其他模块产生相应的控制信号，协调各模块工作；地址与指令译码模块在主控模块的控制下，完成对系统各种访问指令和访问地址的解码与匹配；数据缓冲负责在与ALTMEMPHY进行数据传输过程中对数据进行FIFO缓冲和同步；时钟同步模块采用了PLL锁相环电路设计，为ALTMEMPHY提供参考时钟，同时接收ALTMEMPHY输出的同步时钟phy_clk作为系统时钟，完成各模块之间的同步；初始化与刷新请求模块完成SDRAM器件的初始化及自刷新操作。

3.3 设计注意事项

本系统工作频率高，任何微小的时序错误都可能导致系统不能正确工作。虽然ALTMEMPHY结构可以在一定程度上减小时序错误，但在设计过程中仍要做好代码的优化，尽量采用同步电路设计方法，消除竞争冒险现象，保证数据接口的同步等。

另外，在设计中要遵照Altera提供的设计规范进行设计，如时钟信号要从片上PLL专用的全局时钟引脚输入以减小时钟倾斜；各种时钟分别配置于各自独立的时钟局域网络内以避免相位搅动；对周期、建立、保持时间等关键参数添加相应的约束等等，以提高设计的工作频率，增强系统的稳定性。

4 DDR3 SDRAM控制器的实现

设计采用的FPGA为Stratix III系列中的EP3SL150F1152-C2。Stratix III是Altera公司刚

刚面市高端FPGA系列,也是目前少数支持DDR3接口的FPGA之一。Stratix III系列提供读写均衡、DQ去斜移I/O延时、动态片内匹配等功能,并且使用可配置锁相环(PLL)来补偿电压和温度变化,以充分发挥DDR3存储器的优势。Stratix III器件支持最大时钟速率400 MHz、最大数据速率800 Mbps的DDR3^[5]。软件设计在Altera公司的Quartus II 7.2平台上,运用自顶向下的设计思想,采用VHDL语言加电路图混合设计的方法完成。测试读写仿真时序如图4所示。

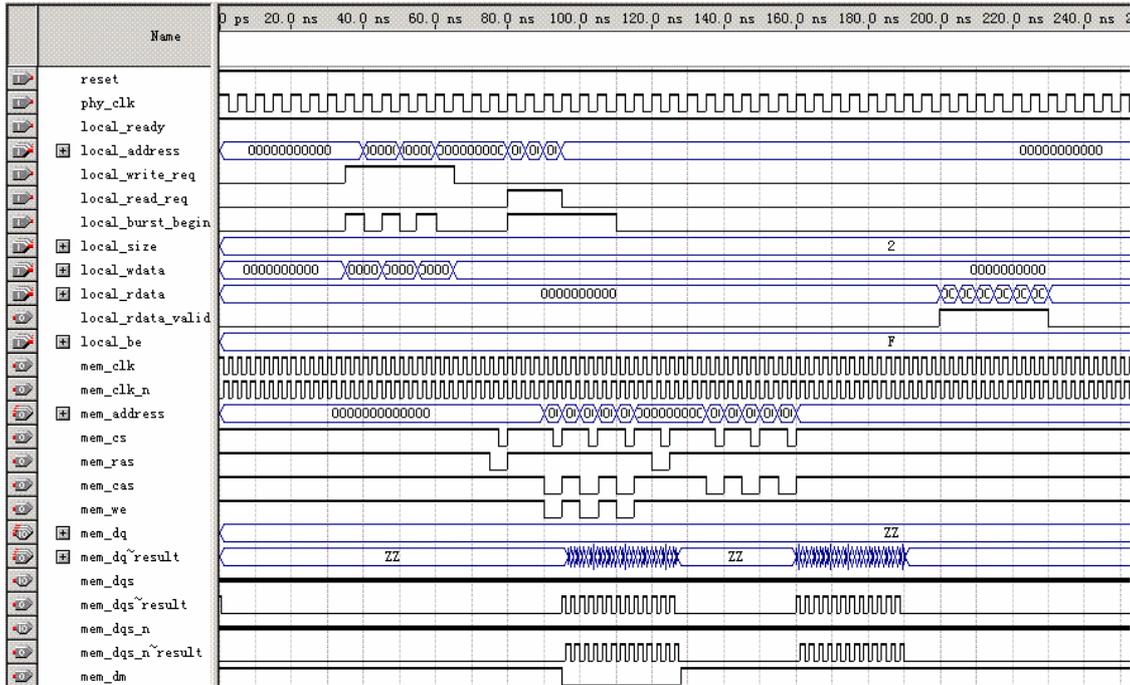


图4 DDR3 SDRAM控制器读写时序仿真图

本设计采用Samsung公司的1Gb容量DDR3 SDRAM芯片K4B1G0846C-ZCF7予以实现。该芯片组织结构为16Mbit x 8 I/Os x 8banks, 速率为800Mbps。通过仿真和工作实测,系统稳定工作频率达到400MHz, 8位数据总线带宽最大传输率达到800MB / s^[6]。

从设计的仿真及实现结果可以看出,这种结构的控制器具有很高的传输速度和稳定的性能表现,可以作为下一代存储设备广泛运用于各种高速高性能系统设计中。同时,该设计为相关控制器的开发和研制提供了实例,具有良好的参考和应用价值。

本文作者创新点:提出了一种基于Stratix III的DDR3 SDRAM控制器的设计方法,采用ALTMEMPHY宏功能结合自定义控制器的结构,即保证了系统在高速运行时的稳定性,又可以根据用户需要灵活改变参数设置,可广泛应用于各种相关高速数字系统。

参考文献:

- [1] DDR3: JEDEC的最新武器[J], 计算机世界报, 2005年08月08日 第30期 B7、B8.
- [2] DDR3 SDRAM Specification. Samsung Electronics, July 2007.
- [3] External DDR Memory PHY Interface Megafunction User Guide (ALTMEMPHY) . Altera Corporation, December 2007.
- [4] 吴健军, 初建朋, 赖宗声. 基于FPGA的DDR SDRAM控制器的实现[J]. 微计算机信息, 2006, 1-2: 156-157.
- [5] Stratix III Device Handbook, Volume 2. Altera Corporation, October 2007.
- [6] 1Gb C-die DDR3 SDRAM Specification. Samsung Electronics, June 2007.

作者简介: 方勇, 男, (1980-), 汉族, 硕士, 合肥工业大学光电技术研究院, 主要研究方向: FPGA 技术/显示技术; 吕国强, 男, (1962-), 汉族, 教授, 硕士生导师, 合肥工业大学光电技术研究院, 主要研究方向: 显示技术; 胡跃辉, 男, (1970-), 汉族, 博士, 合肥工业大学光电技术研究院, 主要研究方向: 显示技术。

Biography: Fang Yong, Male, (1980-), Han Nationality, Master, Research Field: FPGA Technology/Display Technology; LV GUO-QIANG, Male, (1962-), Han Nationality, Professor, Master Director, Research Field: Display Technology; HU YUE-HUI, Male, (1970-), Han Nationality, PhD, Research Field: Display Technology.

(230009 安徽合肥 合肥工业大学光电技术研究院) 方勇, 吕国强, 胡跃辉
(Academe of Opto Electronic Technology, Hefei University of Technology, Hefei230009, China)
Fang Yong, LV Guo-Qiang, HU Yue-Hui

项目经济效益: 本项目尚未投入实际应用, 预计应用后年产新型真三维立体显示器 100 台, 每台预售价人民币 15 万元左右, 年产值 1500 万, 可实现利润 500 万元以上。

本校(合肥工业大学)图书馆已订阅《微计算机信息》