

DDR2 SDRAM 控制器的 设计及 FPGA 验证

刘冠男¹ 欧明双² 宋何娟¹

(1. 华东电子工程研究所, 合肥 230031;

2. 合肥工业大学, 合肥 230031)

摘要 根据 DDR2 SDRAM 的技术规范, 介绍了 DDR2 的基本特征和工作原理, 提出了一种 DDR2 控制器的设计方法, 详述了 DDR2 控制器的工作原理和功能结构, 并在 FPGA 上验证了设计的正确性。

关键词 DDR2, 控制器, FPGA, 验证

The Design of DDR2 SDRAM Controller and Implementation in FPGA

LIU Guan-nan¹, OU Ming-shuang², SONG He-juan¹

(1. East China Research Institute of Electronic Engineering, Hefei 230031, China;

2. Hefei University of Technology, Hefei 230031, China)

Abstract: The basic characteristics and working features of DDR2 SDRAM is introduced in this paper. Then a kind of DDR2 controller is discussed in this paper. Finally, the function and implementation of the DDR2 controller is analyzed and validated on FPGA.

Keywords: DDR2, Controller, FPGA, validation

1 DDR2 SDRAM 的结构与特点

1.1 DDR2 SDRAM 概述

DDR2 (Double Data Rate2) 是由 JEDEC (电子设备工程联合委员会) 开发的新生代内存技术标准。DDR2 内存与 DDR 内存的数据采集方式相同, 都是在时钟的上升沿和下降沿进行数据传输, 但是

DDR2 采用 4 位预取技术, 即相同的内核频率下, DDR2 的数据传输速率是 DDR 的两倍^[1]。DDR2 的工作电压为 1.8V, 在增加存储密度的情况下又降低了功耗。

对比 DDR, DDR2 的结构还有一些新的特性^[2]:

a) 离线驱动调整 (Off-Chip Driver) 通过调整上拉 / 下拉电阻来补偿 I/O 接口端的电压, 提高了

信号的完整性。

b) 片内终结电阻 (On Die Termination) :主板上使用了大量的终结电阻来消除数据线终端反射信号,这大大增加了主板的制造成本。实际上,不同的内存模组对终结电路的要求是不一样的,因此,主板上的终结电阻并不能很好地匹配内存模组,还会在一定程度上影响信号品质。DDR2 将终结电阻放在存储器内部,可以根据自己的特点内建合适的终结电阻,不仅降低了主板成本,还提高了信号品质。

c) 前置 CAS (Posted CAS) :将 CAS 信号提前到 RAS 信号后面的一个时钟周期发送,可以有效解决 DDR2 中指令冲突问题,提高了 DDR2 总线的利用率。

1.2 DDR2 SDRAM 的工作方式

DDR2 SDRAM 在正常使用前要进行初始化操作,根据实际应用对 DDR2 的工作模式和时序参数进行设置,初始化过程需要按照严格的时序步骤来完成。

初始化完成后,就可以对 DDR2 进行正常的读写操作了。DDR2 内部的存储单元是按 bank 进行管理的,根据容量大小一般分为 4 或 8 个 bank^[3]。每个 bank 中又分为行和列, bank 的位宽就是存储芯片的位宽。DDR2 工作时,每个 bank 只允许打开 1 行,即只允许对打开的行进行读写操作,如果要对同一 bank 中的其他行进行读写操作,则必须先利用预充电 (precharge) 命令关闭已经打开的行,再用激活 (active) 命令打开需要进行读写操作的行。发送激活命令时要同时给出 bank 地址和行地址,选定需要打开的行,等待一定的时序间隔后再给出列地址。DDR2 的行列地址线是复用的,通过列地址选通信号 CAS (Column Address Strobe) 可以区分行地址与列地址。

DDR2 采用突发方式进行数据传输,即对同一行中相邻的存储单元连续进行数据传输,连续传输所涉及的存储单元 (列) 的数量就是突发长度 (Burst Lengths)。工作时只要给出起始地址和突发

长度,DDR2 就会依次自动对后面相应数量的列进行读写操作。DDR2 支持的突发长度为 4 和 8。

DDR2 采用电容存储数据信息,电容的漏电造成数据必须要定时刷新才不会丢失。为了保存内部数据,DDR2 每隔一定的时间就要对每一行进行刷新。根据 DDR2 的 JEDEC 标准,最多每隔 $7.8\mu\text{s}$ 就要刷新一次,用来保持 DDR2 内部数据的正确性。DDR2 有两种刷新模式:自刷新 (self-refresh) 和自动刷新 (auto-refresh)。自刷新通常工作于所有 bank 都处于空闲的状态,功耗低,但是进入自刷新模式和退出自刷新模式都要经过复杂的时序步骤来完成,控制复杂。自动刷新模式由定时器产生刷新命令,易于控制,因此一般选择自动刷新模式。

DDR2 的工作频率很高,因此数据窗口很窄,为了能准确采集数据,DDR2 使用差分信号 DQS、DQS_N 来采集数据。写操作中,DQS 信号由控制器发出,DQS 信号与数据窗口中央对齐;读操作中,DQS 信号由 DDR2 存储器发出,DQS 信号与数据窗口边沿对齐,控制器接收到 DQS 信号后,要将 DQS 信号与数据窗口相位偏移 90° ,使 DQS 信号与数据窗口中央对齐。DQS 信号对相位要求很严格,在实际使用中,考虑连线延迟、管脚延迟等因素,在高频率下进行数据采集变得很困难,一般由专门的 PHY (Physical Layer Interface) 来完成。

2 DDR2 控制器的功能与设计

DDR2 SDRAM 需要专门的控制器才能与不同的芯片逻辑进行数据传输,综合上述 DDR2 存储器的工作方式,结合实际的使用需求,文章所设计的 DDR2 控制器主要实现以下几个功能:

- (1) 实现突发长度为 4 的读写操作
- (2) 自动发送激活和预充电命令,用户只需要发送读写命令而不用关心其他相关命令的发送时序
- (3) 完成对 DDR2 的初始化操作^[4],且初始化的相关参数可配置
- (4) 与 DDR2 连接的数据通道为 64bit

(5) 自动执行刷新操作

2.1 DDR2 控制器的功能与结构

DDR2 控制器主要由初始化模块、自动刷新模块、时序控制模块、DQS 管理模块和主状态机构成，结构图如图 1 所示。

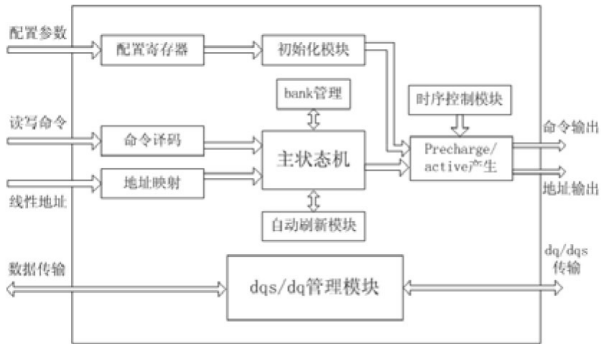


图 1 DDR2 控制器结构示意图

初始化模块负责 DDR2 存储器的初始化操作，初始化过程中用到的时序参数可以在初始化之前进行配置。初始化过程具有最高的优先权，当初始化操作完成后，会发送信号给用户端，表示可以对 DDR2 存储器进行正常的读写操作了。

自动刷新模块负责 DDR2 存储器的刷新操作。设计中采用自动刷新模式，便于控制。刷新控制器每隔一定的时钟周期就准备发送刷新命令，执行刷新命令时，控制器会将用户端的操作应答信号失效，通知用户在此期间不应再发送读写命令；刷新操作完成后，控制器会再次使能操作应答信号，用户可以继续发送读写命令。执行突发长度为 4 的读写操作，最快也要两个时钟周期（写操作），如果是跨行操作则需要更多的时钟周期。因此，可能出现有刷新需求时命令还未执行完毕的情况，在这种情况下，控制器会将刷新请求向后延迟，等命令操作完成后再执行刷新命令。为了实现这种情况下的正常操作，在设置刷新周期时要留有一定的余量来满足最长的命令执行周期，否则 DDR2 中数据可能会因为没及时刷新而丢失。

DQS/DQ 管理模块主要负责数据及数据选通信号的管理。DDR2 控制器设计的数据通道为 64 bit，

因为 DDR2 在上升和下降沿都传输数据，所以将数据输入端设计为 128 bit。DQS 管理模块在写操作时发送 DQS 使能信号，在读操作时根据 DQS 信号在时钟的上升和下降沿采集数据。

主状态机是整个控制器的核心部分，主状态机结合 bank 管理模块、时序控制模块完成最终的命令和数据发送操作。

2.2 状态机的工作流程

用户端发送的是线性地址，而不同类型的 DDR2 存储器所规定的行列地址及 bank 地址所占用的位宽是不相同的^[3]，因此，要将输入的线性地址根据所使用的 DDR2 存储器进行地址映射，将最终发送给 DDR2 的各类地址分离出来，供状态机使用。

状态机根据发送的地址和命令进行判断，决定应该执行何种操作。状态机的工作流程如图 2 所示。

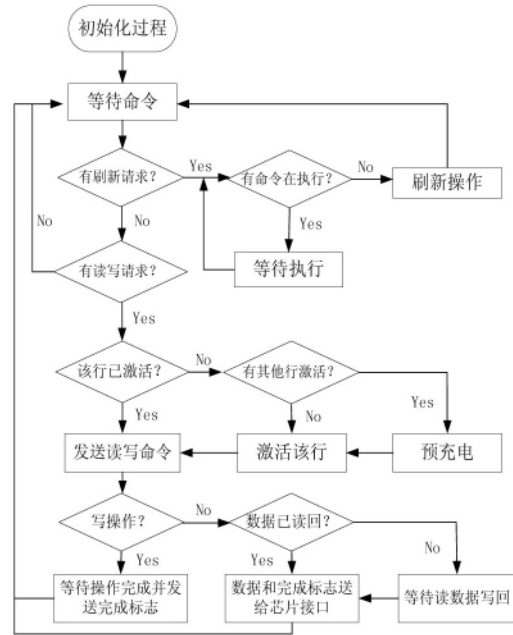


图 2 状态机流程图

上电后控制器首先执行的是初始化过程，然后才是读写操作。在读写过程中，会遇到刷新请求，刷新的优先权要高于读写操作。如果刷新操作与读写操作冲突，则控制器会先通知用户停止发送读写命令，并等待现有的读写操作完成，然后进行刷新操作。

执行读写操作时,控制器会先根据映射的行地址来判断操作所需要的行是否已经激活,如果已经激活,则直接发送列地址;如果没激活且在不同的 bank 中,则先发送激活命令再发送列地址和读写命令,如果没激活且在相同的 bank 中,则先要发送预充电命令关闭已经打开的行,然后依次发送激活命令和读写命令。

如果执行读操作,则在读命令发出后,要等待读数据传回,根据 DQS 信号来接收读数据,将双速率的 64 bit 数据转换成单速率的 128 bit 数据送给用户端口。

3 DDR2 控制器的 FPGA 验证

使用 Altera 公司的 Stratix II GX 开发板来验证所设计的 DDR2 控制器。该开发板上有 4 片 Micron 公司的 DDR2 存储芯片,型号为 MT47H32M16,每片有 16 bit 数据通道,满足设计所需要的 64 bit 数据位宽。编译工具用 Quartus II7.2,仿真工具为 ModelSim SE6.1。

验证所用的结构图如图 3 所示。



图 3 FPGA 验证示意图

验证中需要使用 Quartus 软件的 megacore 功能调用开发板自带的 PHY 作为 DDR2 控制器和 DDR2 存储器的接口,来保证读写过程中 DQS 信号能够以精确的相位偏移发送和采集数据。因为 PHY 的接口信号并不完全与设计的 DDR2 控制器的输出信号相匹配,因此,在验证中需要在两者之间做一个接口模块,使两者信号能够正确交互,完成 DDR2 控制器的功能。

验证中需要一个验证模块作为整个验证平台的驱动逻辑^[5-6]。验证模块主要由写命令控制模块和读

命令控制模块组成。写入 DDR2 中的数据 and 地址分别存储在两个 ROM 中,写操作时,两个 ROM 中的数据分别输送到两个 FIFO 中,通过控制从两个 FIFO 中读取数据的时序,来实现命令、数据与地址的时序匹配。写操作完成后,会发出读操作使能信号,开始执行读操作,读操作的地址与写操作的地址相同,即将刚才写入的数据重新读回,读出的数据存储在 RAM 中。读写操作的实现与中断由 controller 发出的应答信号来控制。当读操作完成后,比较写数据 ROM 与读数据 RAM 中的数据,看两者是否相同,如果相同,则设计的 DDR2 控制器的功能是正确的。

验证中,DDR2 的读写时序如下:

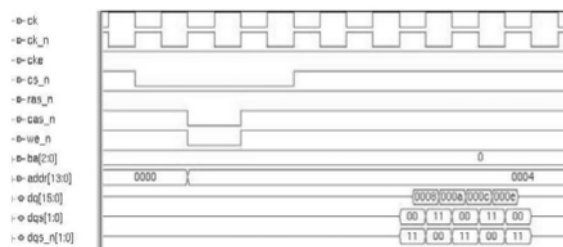


图 4(a) DDR2 写操作时序

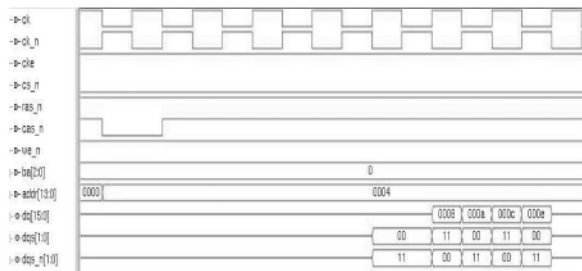


图 4(b) DDR2 读操作时序

4 结论

文中设计的 DDR2 控制器在 FPGA 验证中得到了正确的信号时序关系,比较写入数据和读出数据,两者相同,DDR2 控制器达到了设计要求。在 FPGA 验证中,DDR2 控制器在时钟频率 267 MHz 下仍能正确地进行操作,实现较好的性能。

(下转第 71 页)


```

read_n<='1';latch<='0';
AD_DATA <= ( others =>'Z' );
when others =>
conv_n<='0';cs_n<='1';write_n<='1';
read_n<='1';latch<='0';AD_DATA <=
( others =>'Z' );
end case;
end process;

```

5 结束语

本系统采用浮点型 DSP TMS320VC33 作为主处理器,利用 FPGA 强大的数字逻辑功能,简化了硬件的设计,利用 USB2.0 与上位机进行通讯,具有数

据采集速度快、功耗低、易于使用等优点。■

参考文献

- [1] 周立功. USB 固件编程与驱动开发[M]. 北京: 北京航空航天大学出版社, 2003.
- [2] 杨永东, 曾庆立. 基于 FPGA+DSP 的高速数据采集系统设计. 吉首大学学报[J]. 2009, 30(4)
- [3] 牛国朋, 袁洪, 范建军. 一种基于 FPGA 和 DSP 的高性能 PCI 数据采集卡设计 [J]. 微计算机信息, 2006: 137- 139

作者简介

李玮, 山东省广播电视局昆崙山转播台, 工程师。

上接第 45 页

参考文献

- [1] JEDEC solid state technology association, JEDEC STANDARD:DDR2 SDRAM SPECIFICATION, May 2006
- [2] 张凯, 李云岗. 基于 AMBA 总线的 DDR2 SDRAM 控制器研究与实现. 计算机工程与应用. 2005
- [3] Micron technology INC. 1GB, 2GB, 512Mb DDRII SDRAM datasheet. 2006
- [4] 赵天云, 王洪迅, 郭雷, 毕笃彦. DDR2 SDRAM 控制器的设计与实现. 微电子学与计算机. 2005. Vol.

22 ,No.3

- [5]刘勤让, 邬江兴. 总线数据宽度可配置 DDR 传输的 FPGA 设计与实现. 计算机工程与应用. 2005
- [6]须文波, 胡丹. DDR2 SDRAM 控制器的 FPGA 实现. 江南大学学报(自然科学版), 2006 Vol.5 ,No.2.

作者简介

刘冠男, 中国电子科技集团第 38 研究所助理工程师, 主要研究方向: DDR2 存储器的传输及控制。

凌力尔特推出同步降压型 DC/DC 转换器 LT3741

凌力尔特 (Linear) 最近推出同步降压型 DC/DC 转换器 LT3741, 该器件设计为准确地 ($\pm 6\%$) 调节高达 20A 的输出电流。其 6V 至 36V 的输入电压范围、恒定电流和恒定电压工作使该器件非常适用于多种应用, 如从电池和超级电容器充电器、激光驱动器到大电流 LED 照明的各种应用。LT3741 采用两个外部开关 MOSFET, 在 0V 至 34V 的宽电压范围内提供高达 20A 的连续输出电流。高达 95% 的效率使得无需外部散热。LT3741 的频率可被设定和同步在 200kHz 到 1MHz 范围, 从而允许设计师优化效率, 同时最大限度地减小外部组件尺寸。结合 $4 \times 4\text{mm}$ QFN-20 或耐热增强型 TSSOP-20 封装, LT3741 可提供一个高度紧凑的恒定电压和电流解决方案。