



(12) 发明专利申请

(10) 申请公布号 CN 102547294 A

(43) 申请公布日 2012. 07. 04

(21) 申请号 201210034887. 7

(22) 申请日 2012. 02. 16

(71) 申请人 复旦大学

地址 200433 上海市杨浦区邯郸路 220 号

(72) 发明人 范益波 沈沙 沈蔚炜 曾晓洋

(74) 专利代理机构 上海正旦专利代理有限公司

31200

代理人 陆飞 盛志范

(51) Int. Cl.

H04N 7/26 (2006. 01)

H04N 7/50 (2006. 01)

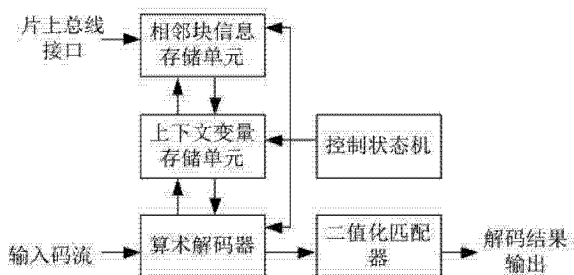
权利要求书 1 页 说明书 3 页 附图 1 页

(54) 发明名称

适用于 H. 264 和 HEVC 视频标准的 CABAC 硬件解码器架构

(57) 摘要

本发明属于数字视频信号编解码技术领域，具体为一种适用于 H. 264 和 HEVC 视频标准的 CABAC 硬件解码器架构。本发明的 CABAC 硬件解码器架构中，HEVC 和 H. 264 可以复用如下四个硬件模块：HEVC 或 H. 264 解码过程中用到的相邻块信息存储在共用的存储单元；HEVC 和 H. 264 标准中的上下文变量保存在另一个共用的存储单元中；HEVC 和 H. 264 标准共用同一个算术编码解码器；二值化匹配器中的通用模块。HEVC 和 H. 264 中无法共用的硬件单元包括如下两个部分：某些二值化字符串匹配模块，H. 264 和 HEVC 按照各自的标准设计的控制状态机。本发明可以有效降低硬件资源开销。



1. 适用于 H. 264 和 HEVC 视频标准的 CABAC 硬件解码器架构, 主要包含如下几个模块: (1) 相邻块信息存取模块; (2) 上下文模型储存模块, (3) 算术解码器, (4) 二值化匹配器; 其特征在于:

(1) 片上存储单元的复用: 需要在解码的时候实时更新的相邻块信息和上下文模型信息存储在片上, 在硬件设计中采用片上 SRAM 作为存储单元; HEVC 和 H. 264 的 CABAC 硬件解码器完全复用此 SRAM;

(2) 组合逻辑运算单元的复用: HEVC 和 H. 264 使用的算术解码器完全复用, 而二值化匹配器对于绝大部分码字都是相同的, 只有很少几个码字需要独立的二值化匹配器, 因此组合逻辑运算单元在很高程度上复用; 对于 HEVC 和 H. 264 两个标准中的不同之处, 也给出相应的无法复用、需要独立设计的硬件模块。

2. 根据权利要求 1 所述的适用于 H. 264 和 HEVC 视频标准的 CABAC 硬件解码器架构, 其特征在于: 所述对于片上存储单元的复用, 采用以下两种方式:

(1) HEVC 和 H. 264 解码过程中需要用到的相邻块信息存储在共用的存储单元; 在计算和更新上下文变量时需要用到相邻块信息, 存储在片外存储器上, 在使用时需要先读取并保持在片上 SRAM; 符合 HEVC 和 H. 264 标准的 CABAC 硬件解码器复用这部分的 SRAM 存储单元;

(2) HEVC 和 H. 264 标准中规定的上下文变量保存在另一个共用的存储单元中; H. 264 标准和 HEVC 标准中使用的每一个上下文变量都是 7 比特位宽, H. 264 标准中使用了 1024 个上下文变量, 而 HEVC 的上下文变量个数少于 1024, 因此使用一个位宽为 7bit、深度为 1024 的片上 SRAM; 符合 HEVC 和 H. 264 标准的 CABAC 硬件解码器也复用此 SRAM。

3. 根据权利要求 1 所述的适用于 H. 264 和 HEVC 视频标准的 CABAC 硬件解码器架构, 其特征在于: 所述组合逻辑运算单元的复用, 采用以下两种方式:

(1) 算术编码解码器的复用: HEVC 和 H. 264 标准可以共用同一个算术编码解码器;

(2) 二值化匹配器中的通用模块: 二值化匹配器内部分为三个部分: H. 264 和 HEVC 可共用的硬件模块、H. 264 专用模块、HEVC 专用模块; 其中的通用模块可以同时适用于 H. 264 和 HEVC 这两种标准; H. 264 和 HEVC 可共用的硬件模块包含如下几个子模块: 一元二值化字符串匹配模块、舍位一元二值化字符串匹配模块、串联一元 /k 阶二值化字符串匹配模块和固定长度二值化字符串匹配模块;

对于这两种算法中存在的不同之处, 针对每一个不同之处分别设计相应的硬件模块; HEVC 和 H. 264 中无法共用的硬件模块有如下 4 个:

(1) H. 264 标准中规定的两个语法元素 `mb_type` 和 `sub_mb_type`, 通过查询特定的表格来进行二值化字符串匹配;

(2) HEVC 标准新增加一种 Truncated Rice 二值化类型, 对此新增一种二值化硬件匹配模块;

(3) HEVC 中规定的三个语法元素 `coeff_abs_level_minus3`、`pred_type`、`rem_intra_luma_pred_mode`, 用特定的硬件单元来进行二值化字符串匹配;

(4) H. 264 和 HEVC 标准规定的码流语法元素结构完全不同, 用各自的标准设计相应的控制状态机。

适用于 H. 264 和 HEVC 视频标准的 CABAC 硬件解码器架构

技术领域

[0001] 本发明属于数字视频信号编解码技术领域,具体涉及一种通用的 CABAC 解码器架构,同时适用于两种不同的视频编码标准:H. 264 和 HEVC (High Efficiency Video coding)。

背景技术

[0002] H. 264/AVC(Advanced Video Coding) 由国际电信组织 (ITU) 和运动图像专家组 (MPEG) 联合制定而成的国际视频编码标准,目前已经在多媒体音视频领域得到了广泛的应用。H. 264/AVC 中规定其熵编码可以采用两种方式:下文自适应可变长编码 (CAVLC) 和上下文自适应算术编码 (CABAC)。CAVLC 计算复杂度较低,但是编码效率也较低。而 CABAC 具有较高的编码效率,同时它的计算复杂度也大大增加。

[0003] HEVC(High Efficiency Video coding) 是目前正在制定中的下一代视频编码标准。它同样是由 ITU 和 MPEG 联合制定。与 H. 264 视频标准相比,它在保证相同图像质量的前提下,可以将视频的码率降低 50%。为了达到这一目的,它的计算复杂度也将上升 3-4 倍。HEVC 有望成为当前 H. 264 视频编码标准的继承者,在下一个 5 到 10 年的时间取代 H. 264 成为新的主流视频标准。为了提高编码效率,HEVC 中的熵编码将只采用高效率的 CABAC,不再使用 CAVLC。

[0004] 通过对 HEVC 和 H. 264 视频编码标准中的 CABAC 算法进行分析、比较,得出这两个标准的异同点;然后针对相同的部分设计出可以复用的通用架构,从而可以大大降低硬件成本;对于不同的部分,分别针对每一个不同之处设计相应的硬件模块。

发明内容

[0005] 本发明的目的在于提出一种既可以用于 H. 264 视频规范,也可以适用于 HEVC 视频规范的通用的 CABAC 硬件解码器架构。

[0006] 本发明涉及的 CABAC 硬件解码器架构,如图 1 所示,主要包含如下几个模块:(1) 相邻块信息存储模块;(2) 上下文模型存储模块,(3) 算术解码器,(4) 二值化匹配器。本发明在此基础上针对 HEVC 和 H. 264 视频规范中所提及的 CABAC 算法,分析这两个标准中 CABAC 算法的异同点,对此架构进行改进。改进主要体现在两个方面:

(1) 片上存储单元的复用。相邻块信息和上下文模型需要在解码的时候实时更新,他们都需要存储在片上,一般在硬件设计中采用片上 SRAM 作为存储单元。HEVC 和 H. 264 的 CABAC 硬件解码器可以完全复用此 SRAM,从而大大减少硬件资源。

[0007] (2) 组合逻辑运算单元的复用。HEVC 和 H. 264 使用的算术解码器可以完全复用,而二值化匹配器对于绝大部分码字都是相同的,只有很少几个码字需要独立的二值化匹配器,因此组合逻辑运算单元也可以得到很高程度的复用。对于两个标准中的不同之处,本发明也提出了相应的无法复用、需要独立设计的硬件模块。

[0008] 本发明的有益效果:

针对 H. 264 和 HEVC 这两种视频标准中所采用的 CABAC 算法上的共同之处,本发明描述了一种可以同时适用于这两种视频标准的 CABAC 硬件解码器架构。由于 H. 264 和 HEVC 视频标准中采用的 CABAC 算法有很大的相似之处,我们在此采用硬件资源复用的方法,可以有效降低硬件资源开销。

附图说明

[0009] 图 1 :CABAC 硬件解码器架构。

[0010] 图 2 :适用于 H. 264 和 HEVC 视频标准的通用 CABAC 硬件解码器架构。

[0011] 图 3 :通用的二值化匹配器。

具体实施方式

[0012] 下面结合附图对本发明做进一步的描述。

[0013] H. 264 和 HEVC 视频标准中都使用了 CABAC 算法,这两种 CABAC 算法中使用的算术解码器是完全相同的,二值化匹配器也都支持一元二值化字符串、舍位一元二值化字符串、串联一元/k 阶二值化字符串和固定长度二值化字符串。虽然 H. 264 和 HEVC 所使用的上下文模型是完全不同的,在计算和更新上下文模型变量时需要用到的相邻块信息也有所不同,但是由于上下文模型和相邻块信息都存储在片上 SRAM 中,H. 264 和 HEVC 仍然可以共用同一个 SRAM 存储单元;不同之处在于 H. 264 和 HEVC 视频标准中有一些特殊的语法元素,其二值化匹配算法完全不同,此部分硬件单元无法共用,需要分别设计不同的硬件模块。

[0014] 本发明提及的 CABAC 硬件解码器主要包括四个通用模块:相邻块信息存储单元,上下文存储管理单元,算术编码解码器和二值化匹配器中的通用模块。整个 CABAC 解码器的硬件框图如图 2 所示。

[0015] 一、对于片上存储单元的复用,本发明主要采用以下两种方式:

(1) HEVC 和 H. 264 解码过程中需要用到的相邻块信息存储在共用的存储单元;在计算和更新上下文变量时需要用到相邻块信息,这些信息存储在片外存储器上,在使用时需要先读取并保持在片上 SRAM。符合 HEVC 和 H. 264 标准的 CABAC 硬件解码器复用这部分的 SRAM 存储单元;

(2) HEVC 和 H. 264 标准中规定的上下文变量也可以保存在另一个共用的存储单元中;H. 264 标准和 HEVC 标准中使用的每一个上下文变量都是 7 比特位宽,H. 264 标准中使用了 1024 个上下文变量,而 HEVC 的上下文变量个数少于 1024,因此可以使用一个位宽为 7bit、深度为 1024 的片上 SRAM。符合 HEVC 和 H. 264 标准的 CABAC 硬件解码器也可以复用此 SRAM。

[0016] 二、对于逻辑运算单元的复用,本发明采用以下两种方式:

(1) 算术编码解码器的复用。通过对 HEVC 和 H. 264 标准中 CABAC 算法进行研究和分析,我们发现其核心的算术解码算法是完全相同的:这两种算法使用相同的概率状态转移表,在计算二值化字符串时采用了同样的三种算法模式:常规模式、旁路模式和终止模式。因此,HEVC 和 H. 264 标准可以共用同一个算术编码解码器;

(2) 二值化匹配器中的通用模块。二值化匹配器的硬件框图如 3 所示,二值化匹配器内部可以分为三个部分:H. 264 和 HEVC 可共用的硬件模块、H. 264 专用模块、HEVC 专用模块。其中的通用模块可以同时适用于 H. 264 和 HEVC 这两种标准。H. 264 和 HEVC 可共用的硬件

模块包含如下几个子模块：一元二值化字符串匹配模块、舍位一元二值化字符串匹配模块、串联一元 /k 阶二值化字符串匹配模块和固定长度二值化字符串匹配模块。

[0017] 对于这两种算法中存在的不同之处，本发明针对每一个不同之处分别设计相应的硬件模块。本发明中 HEVC 和 H. 264 中无法共用的硬件模块有如下 4 个：

(1) H. 264 标准中规定的两个语法元素 `mb_type` 和 `sub_mb_type` 需要通过查询特定的表格来进行二值化字符串匹配；

(2) HEVC 标准新增加了一种 Truncated Rice 二值化类型，需要对此新增一种二值化硬件匹配模块；

(3) HEVC 中规定的三个语法元素 `coeff_abs_level_minus3`、`pred_type`、`rem_intra_luma_pred_mode` 需要特定的硬件单元来进行二值化字符串匹配；

(4) H. 264 和 HEVC 标准规定的码流语法元素结构完全不同，因此需要按照各自的标准设计相应的控制状态机。

[0018] 本发明通过分析两种 CABAC 算法的异同点，提出了一种高度复用硬件资源的架构，有效减少了硬件实现时所需的片上 SRAM 和组合逻辑单元，因而能够以较低成本同时支持 H. 264 和 HEVC 视频标准中规定的 CABAC 算法。

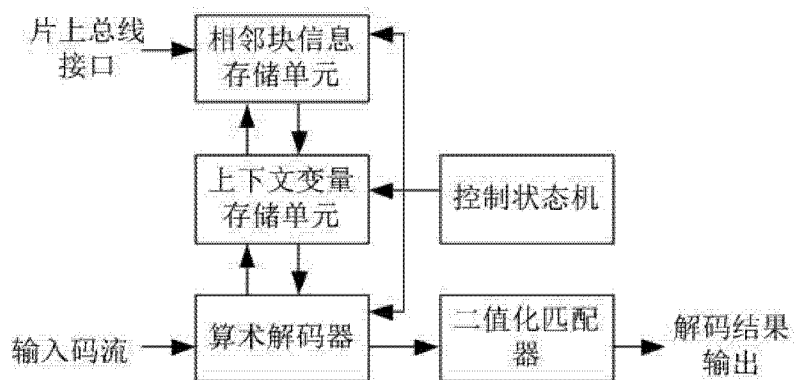


图 1

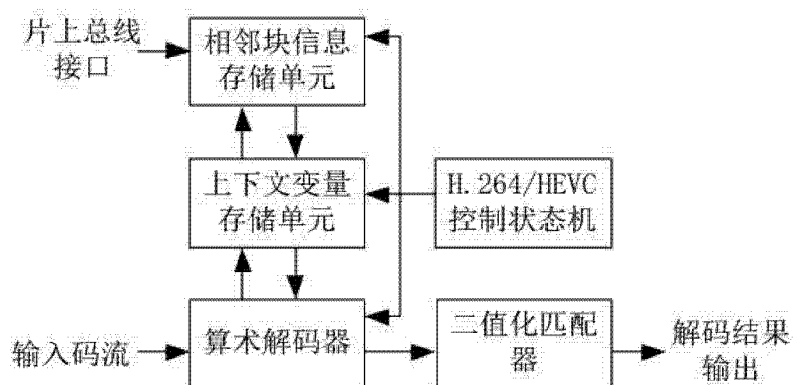


图 2

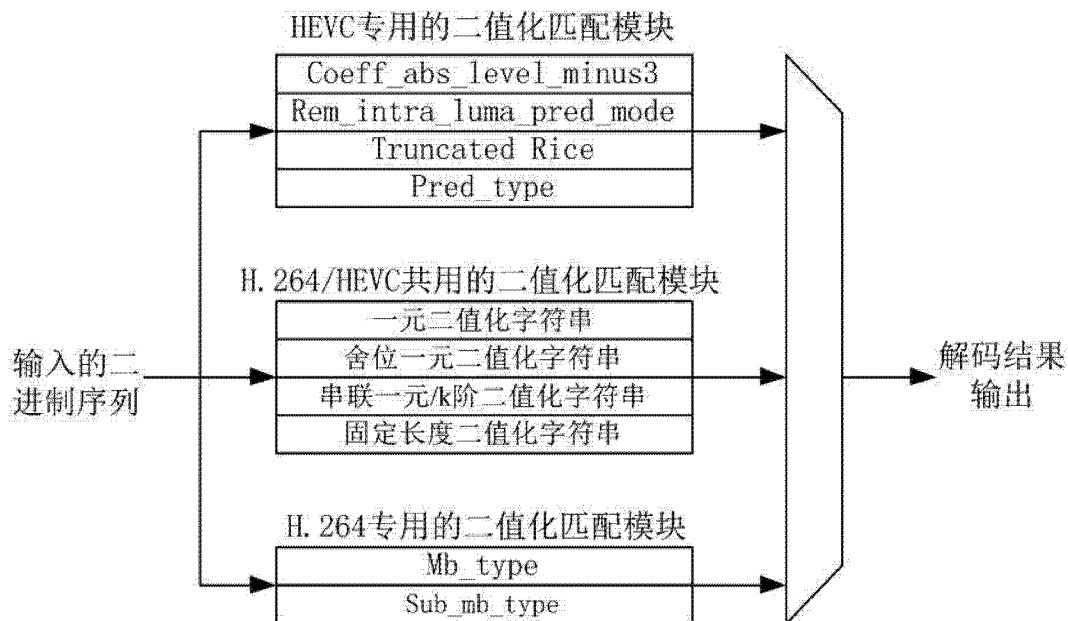


图 3