

第2章

逻辑门电路

Video Image Processing (VIP)
Research Group @ Fudan
<http://soc.fudan.edu.cn/vip/>

范益波

2013.9

本章内容

- ✓ 数字逻辑0/1在物理上如何体现？
- ✓ 逻辑转换需要耗费时间么？如何确定？
- ✓ 逻辑如何“驱动”逻辑？驱动力有上限么？
- ✓ 逻辑运算的底层物理实现？

本章要求

本章要求：

- 了解半导体器件的开关特性
- 了解分立器件逻辑门电路的结构与工作原理
- 了解TTL集成逻辑门电路和CMOS集成逻辑门电路的结构和工作原理
- 掌握TTL/CMOS集成逻辑门电路的静态和动态参数
- 了解电流模式逻辑门电路的结构与工作原理

2.1 逻辑门电路简介

逻辑门分类

- 分立器件逻辑门
- 集成逻辑门电路
 - 双极型集成逻辑门电路（两种载流子，如PNP，NPN）
 - 晶体管-晶体管逻辑门电路（Transistor-Transistor Logic，TTL）
 - 射极耦合逻辑门电路（Emitter Coupled Logic，ECL）
 - 单极型集成逻辑门电路（一种载流子，如NMOS，PMOS）
 - 互补金属氧化物半导体逻辑门电路（Complementary Metal Oxide Semiconductor，CMOS）
 - 电流模式逻辑门电路（Current Mode Logic, CML）

双极、单极的区分：工作时两种或一种载流子参与导电

- 数字集成电路

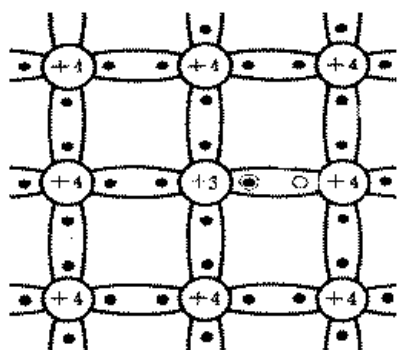
- 小规模集成电路 (SSI , Small Scale Integrated Circuit , 1 ~ 10)
- 中规模集成电路 (MSI , Middle Scale Integrated Circuit , 10 ~ 100)
- 大规模集成电路 (LSI , Large Scale Integrated Circuit , 100 ~ 1K)
- 超大规模集成电路 (VLSI , Very Large Scale Integrated Circuit , 1K ~ 1M)
- 甚大规模集成电路 (ULSI , Ultra Large Scale Integrated Circuit , >1M)

二极管原理

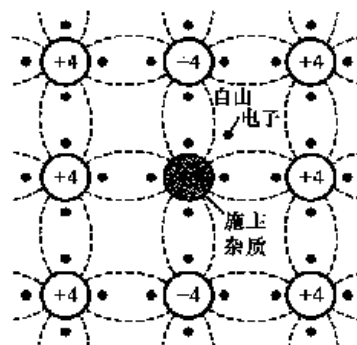
PN结工作原理

一.P-N结合

(1)



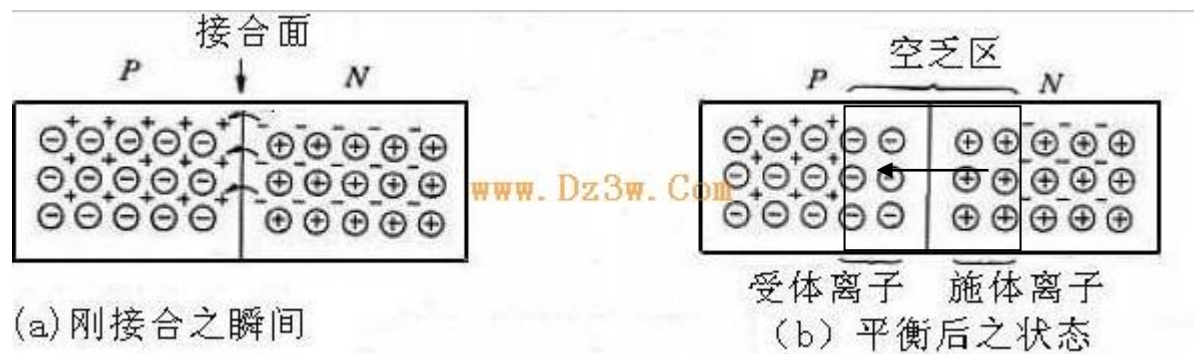
P型



N型

(2) 但若将数片P或N型半导体加以适当的组合，则会产生各种不同的物理特性，而使半导体零件的功能更多彩多姿。今天我们要先看看把一块P型半导体与N型半导体结合起来的情况。

(3) 当一块P型半导体与N型半导体结合起来时（P型掺杂硼是受主、N型掺杂磷是施主），如下图所示，由于P型半导体中有很多的空穴，而N型半导体中有许多电子，所以当P-N结合起来时，结合面附近的电子会填入空穴中，P-N结合起来时，如下图a)所示。



或许你会以为N型半导体中的电子会不断的透过接合面与空穴结合，直到所有的电子或空穴消失为止。事实上，靠近接合面的N型半导体失去了电子后就变成正离子，P型半导体失去了一些电洞后就变成负离子，如上图(b)所示。此时正离子会排斥空穴，负离子会排斥电子，因而阻止了电子、空穴的继续结合，而产生平衡之状态。

(4) 在P-N接合面(P-N junction)附近没有载体(电子或空穴)，只有离子之区域称为耗尽区(depletion region)。

(5) 空穴区的离子所产生的阻止电子、电洞通过接合面的力量，称为内建电势(potential barrier)。内建电势视半导体的掺杂程度而定，一般而言，Ge的P-N接合面约为0.2~0.3V，而Si的P-N接合面约为0.6~0.7V。

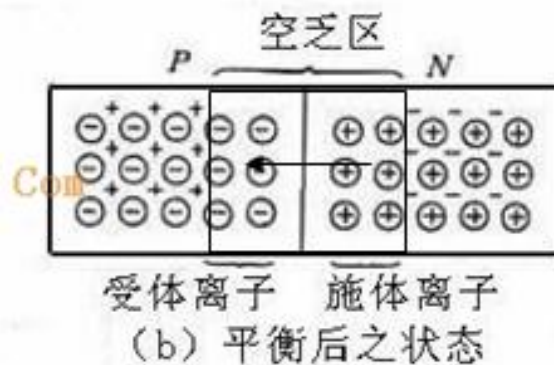
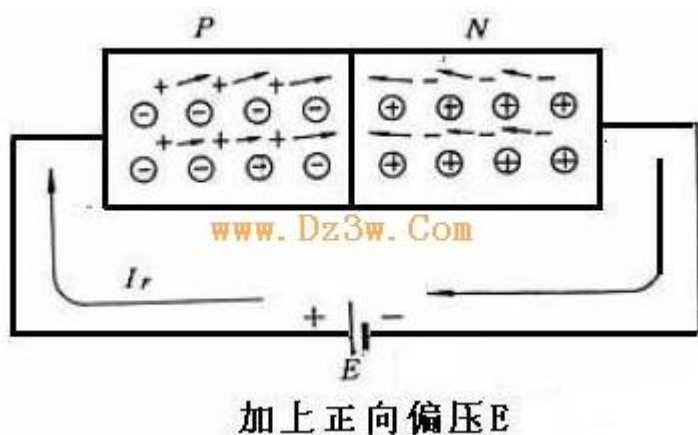
二.正向偏压

(1) 若把电池的正端接P型半导体，而把负端接N型半导体，如下图

(2) 若外加电源 E 足够大而克服了内建电势，则由于电池的正端具有吸引电子而排斥电洞的特性，电池的负端有吸引电洞而排斥电子之特性，因此N型半导体中的电子会越过P-N接合面而进入P型半导体与电洞结合，同时，空穴也会通过接合面而进入N型半导体内与电子结合，造成很大的电流通过P-N接合面。

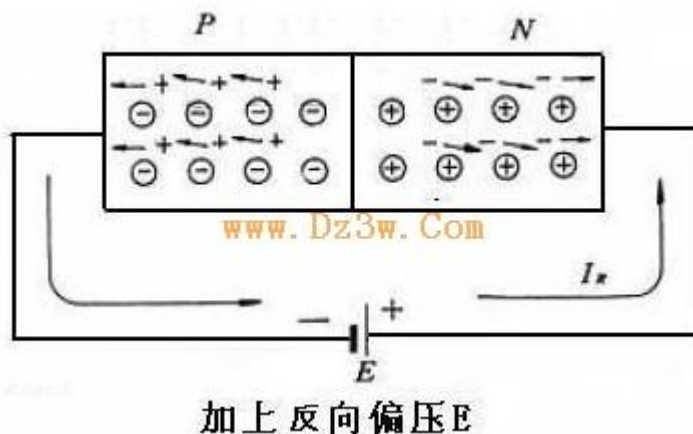
(3) 因为电池的负端不断的补充电子给N型半导体，电池的正端则不断的补充空穴给P型半导体，(实际上是电池的正端不断的吸出P型半导体中之电子，使P型半导体中不断产生空穴)，所以通过P-N接合面的电流将持续不断。

(4) P-N接合在加上正向偏压时，所通过之电流称为正向电流(I_F)。



三.反向偏压

(1) 现在如果我们把电池的正端接N而负端接P，则电子、空穴将受到E之吸引而远离接合面，耗尽区增大，而不会有电子或空穴越过接合面产生接合，如下图所示，此种外加电压之方式称为反向偏压。



(2) 当P-N接合面被加上反向偏压时，理想的情形应该没有反向电流($I_r=0$)才对，然而，由于温度的引响，热能在半导体中产生了少数的电子—空穴对，而于半导体中有少数载体存在。在P-N接合面被接上反向偏压时，N型半导体中的少数空穴和P型半导体中的少数电子恰可以通过P-N接合面而结合，故实际的P-N接合再加上反向偏压时，会有一“极小”之电流存在。此电流称为漏电流，在厂商的资料中多以 I_r 表之。

[注]：在实际应用时多将 I_r 忽略，而不加以考虑。

(3) I_r 与反向偏压之大小无关，却与温度有关。硅，每当温度升高 10°C ， I_r 就增加为原来的两倍。

四.崩溃 (Breakdown)

(1) 理想中，P-N接合加上反向偏压时，只流有一甚小且与电压无关之漏电流 I_r 。但是当我们不断把反向电压加大时，少数载体将获得足够的能量而撞击、破坏共价键，而产生大量的电子--空穴对。此新生产之电子及空穴可从大反向偏压中获得足够的能量去破坏其它共价键，这种过程不断重复的结果，反向电流将大量增加，此种现象称为击穿或崩溃。

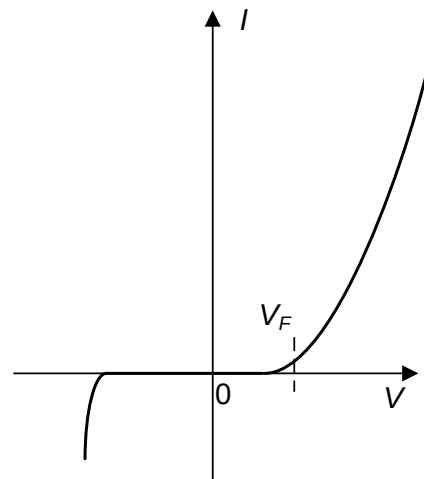
(2) P-N接合因被加上「过大」的反向电压而大量导电时，若不设法限制通过P-N接合之反向电流，则P-N接合将会烧毁。

击穿：隧道击穿（齐纳击穿），雪崩击穿

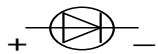
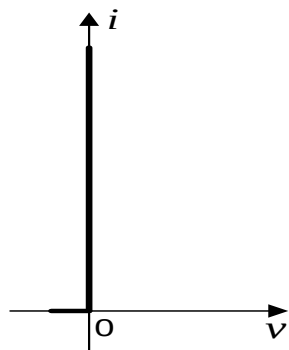
二极管的开关特性

- 静态特性: 正向导通, 逆向截止

$$I = I_s \left[\exp\left(\frac{V}{V_T}\right) - 1 \right]$$

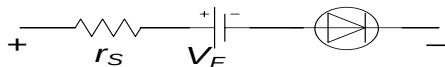
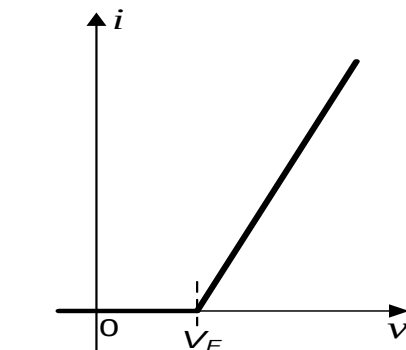


- 近似模型



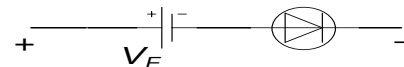
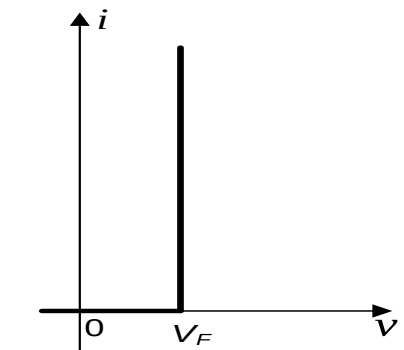
(a)

外加电压较大, 且负载电阻也较大



(b)

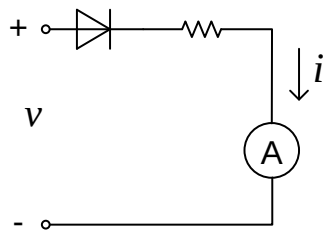
当外加电压和负载电阻都较小时



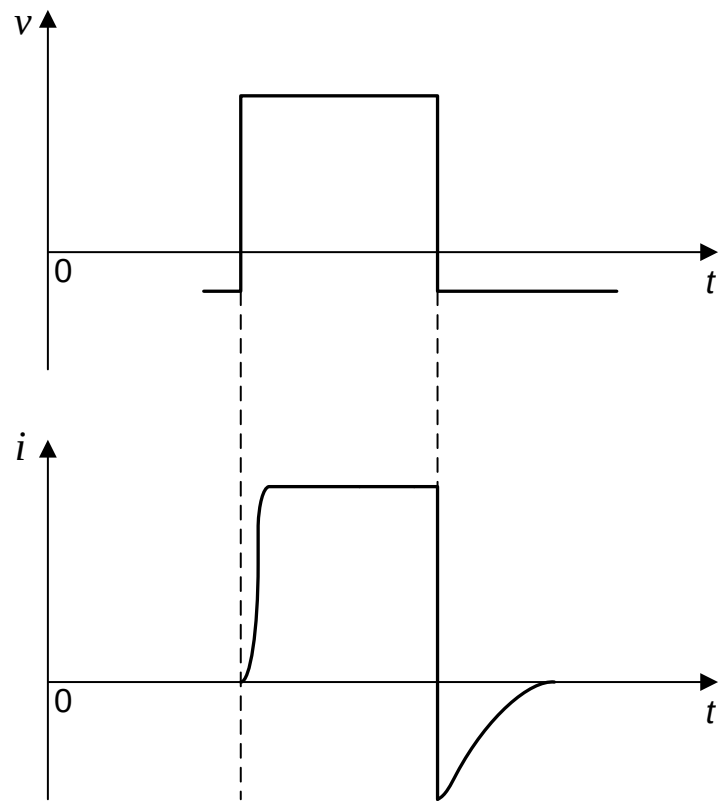
(c)

外加电压较小, 而负载电阻较大时

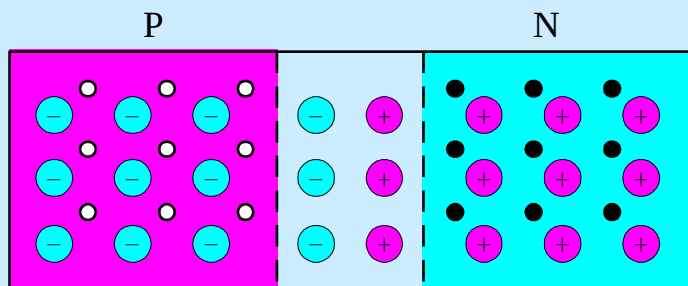
- 动态特性
 - 开通时间
 - 反向恢复时间



(a)



(b)



双极型晶体管

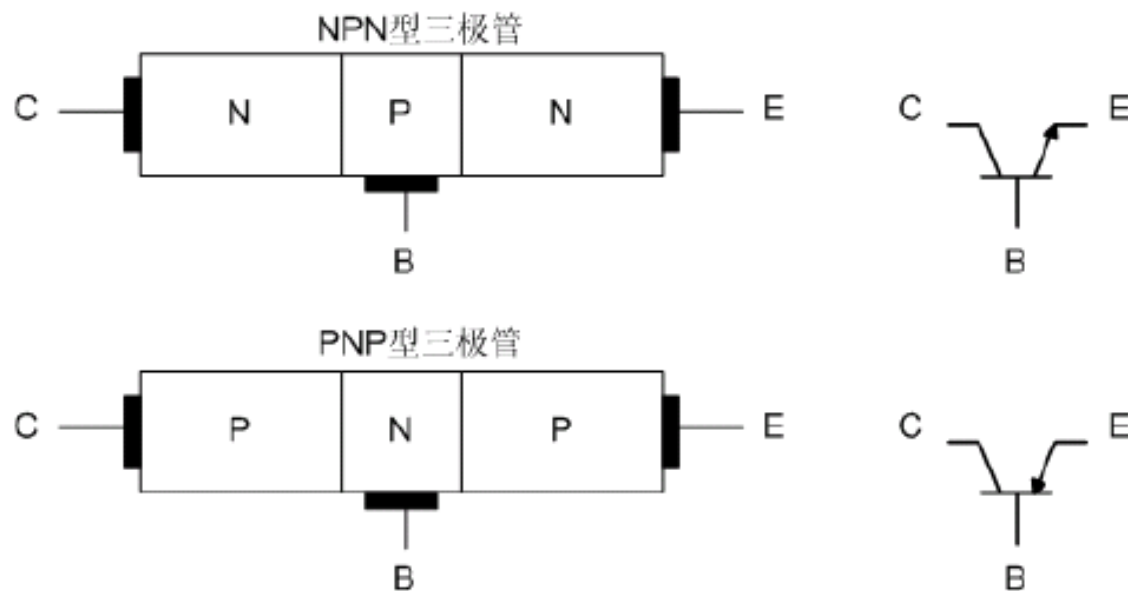
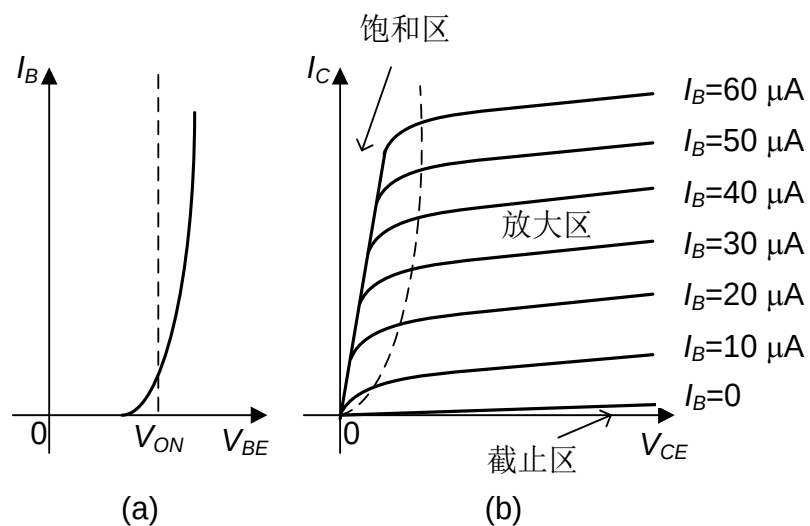
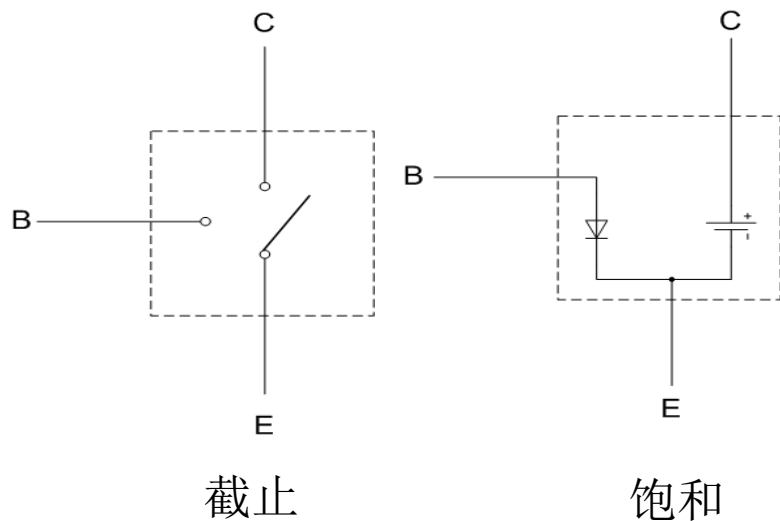
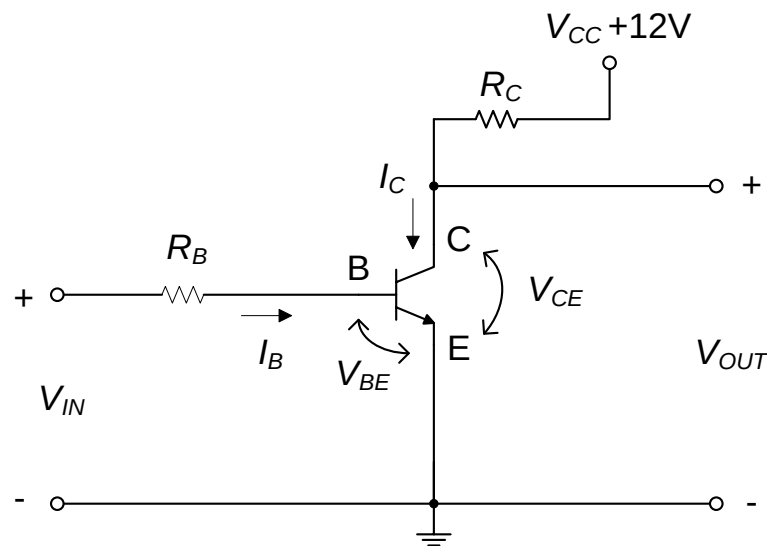


图 1-4 半导体三极管结构示意图

基极 (Base, B)、集电极 (Collector, C) 和发射极 (Emitter, E)。

双极型晶体管的开关特性

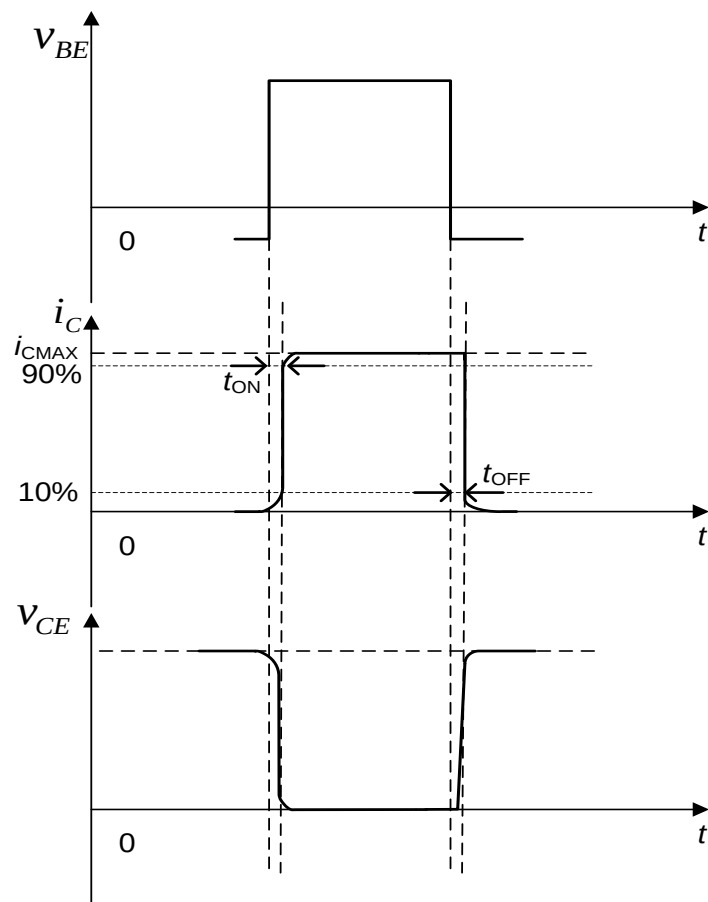
- 共发射极连接的三极管工作电路
- 等效电路



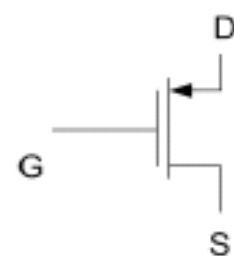
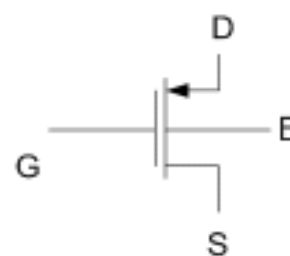
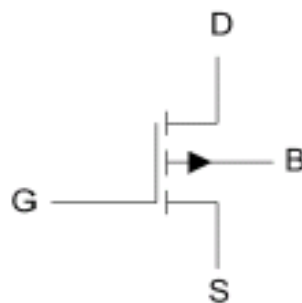
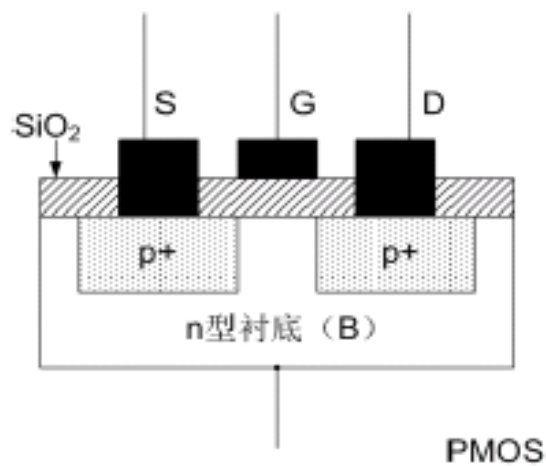
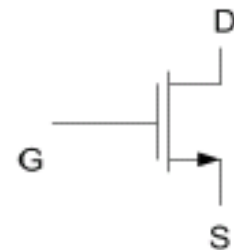
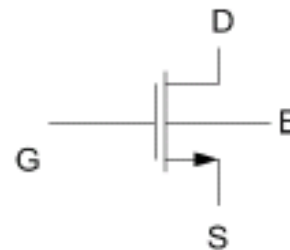
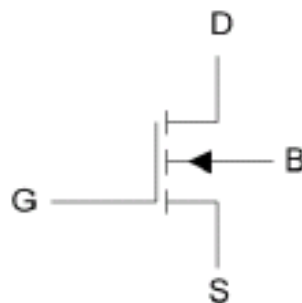
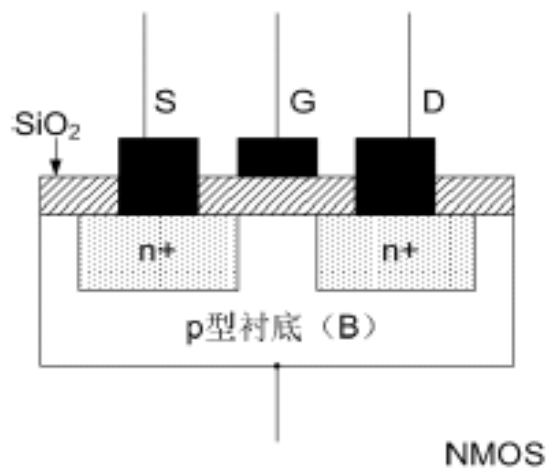
双极型晶体管的开关特性

动态特性

- 开启时间
 - 三极管集电极电流从零上升到最大集电极电流的90%所需的时间称为开启时间。
- 关断时间
 - 集电极电流从最大值下降到其10%所需的时间称为关断时间



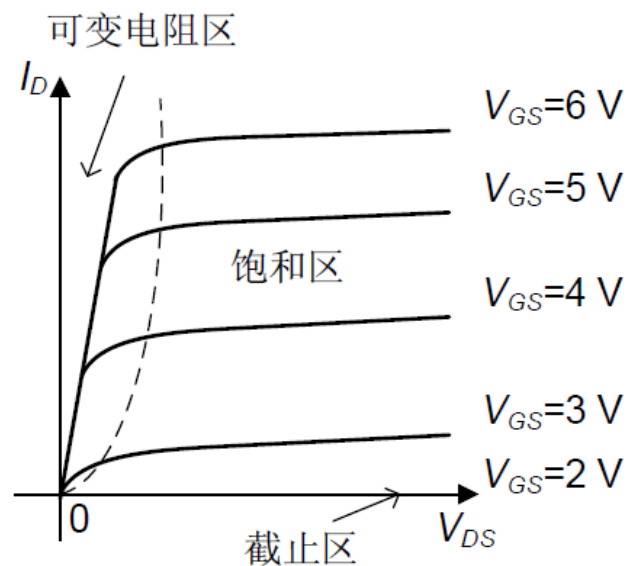
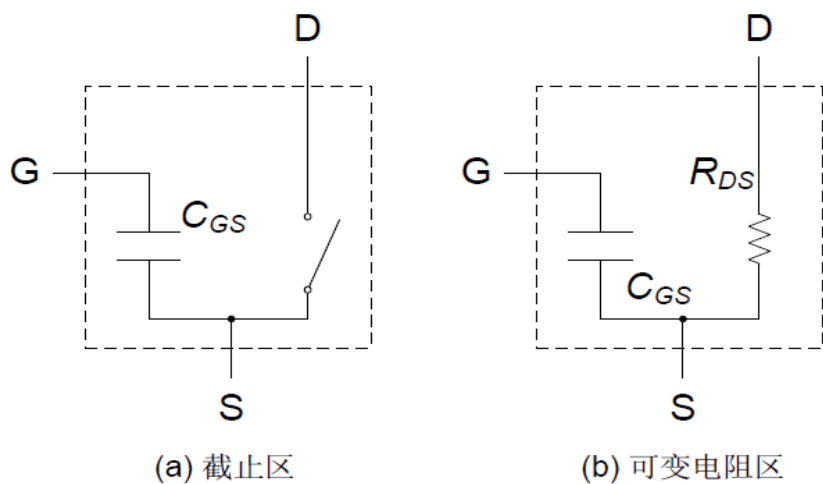
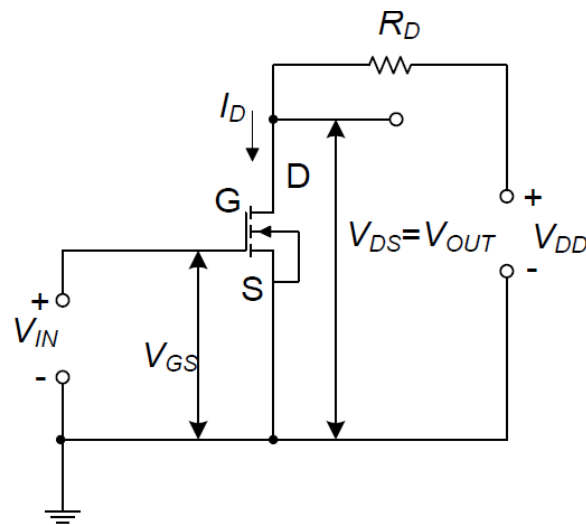
MOS管



MOS管开关特性

■ NMOS管共源极工作电路

- 等效电路
- 动态特性

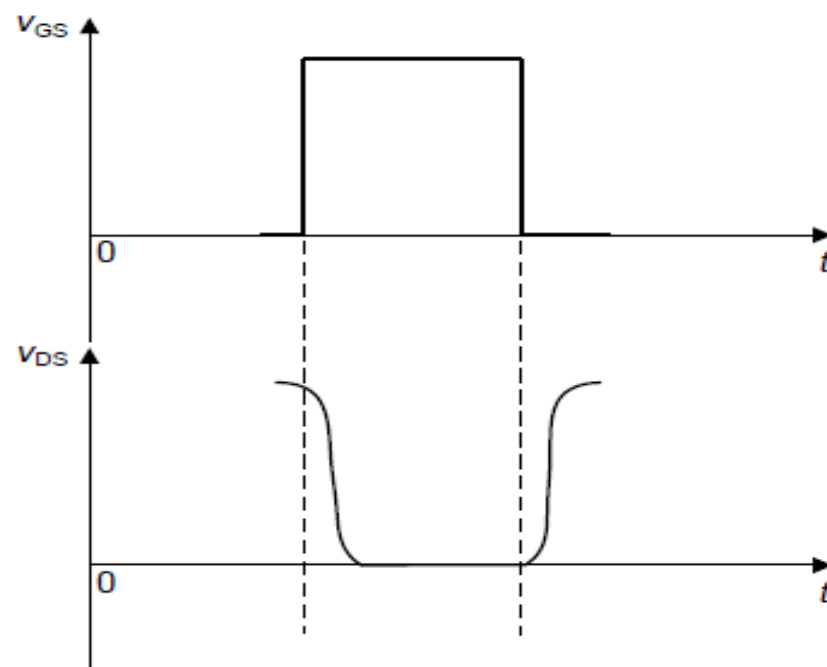


MOS管动态特性

■ 电压控制型

由输入电压产生电场效应来控制输出电流（电压）

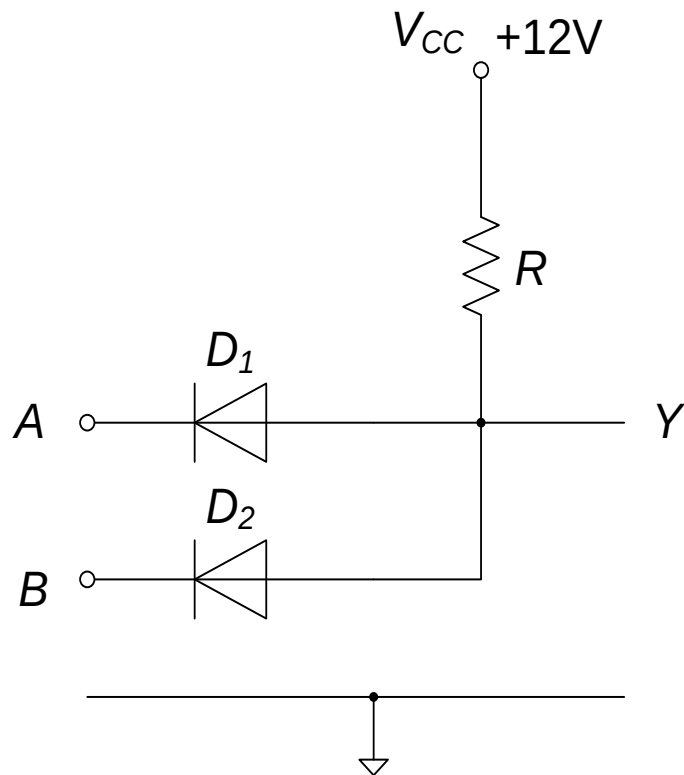
寄生电容影响大



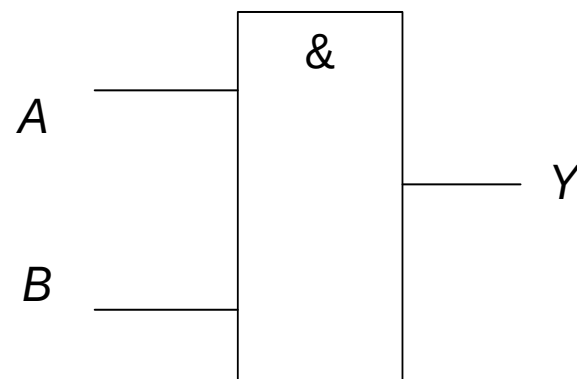
分立器件逻辑门电路

- 逻辑电平：用特定的电压范围来表示逻辑状态，这个电压范围称为逻辑电平
 - 用于表示逻辑0的电压范围为逻辑0电平
 - 用于表示逻辑1的电压范围称为逻辑1电平
 - 正逻辑（逻辑1电平高于逻辑0）
 - 负逻辑（逻辑0电平高于逻辑1）

二极管与门电路

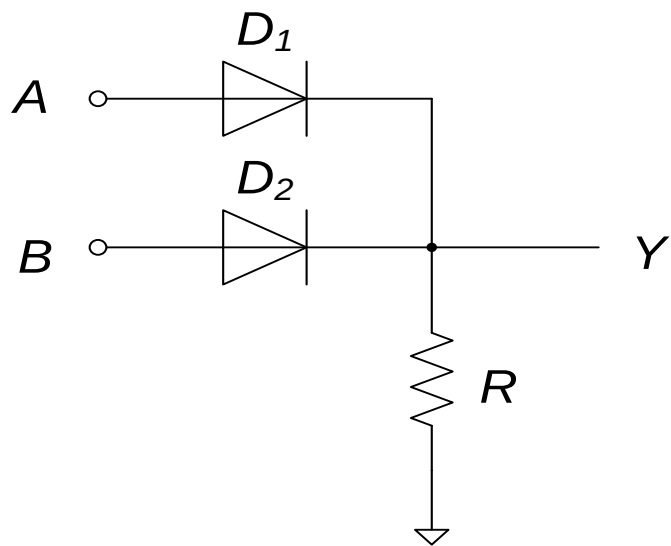


(a)

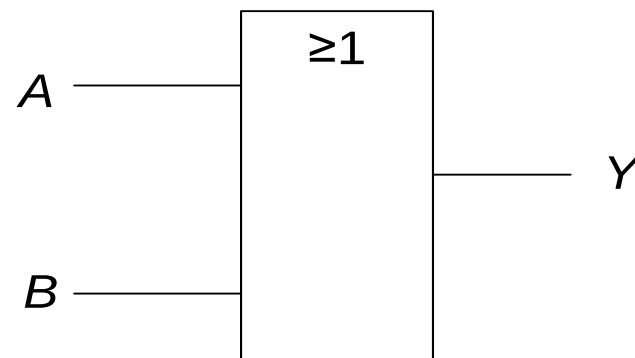


(b)

二极管或门电路

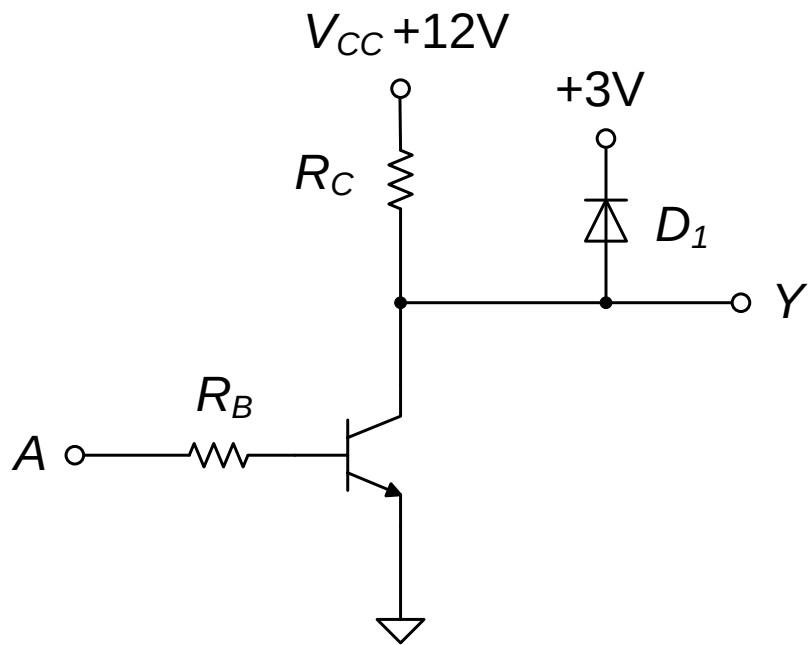


(a)

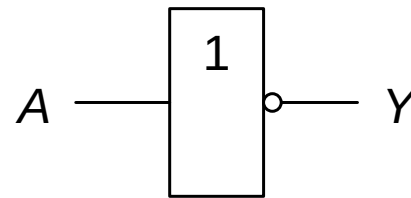


(b)

三极管非门电路



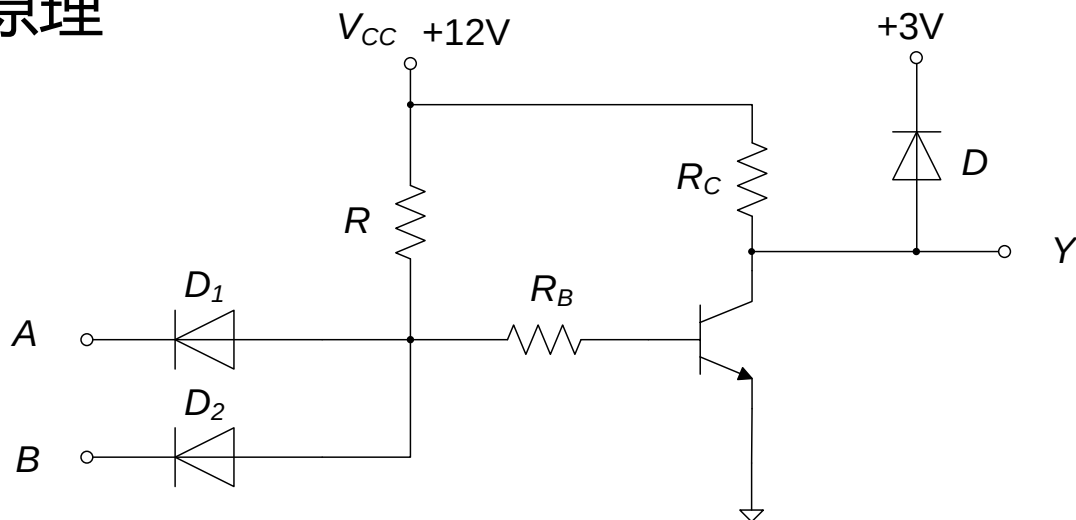
(a)



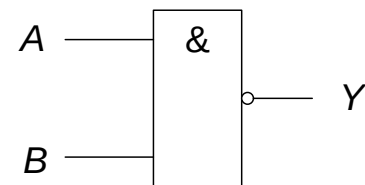
(b)

与非门电路

- 工作原理



(a)

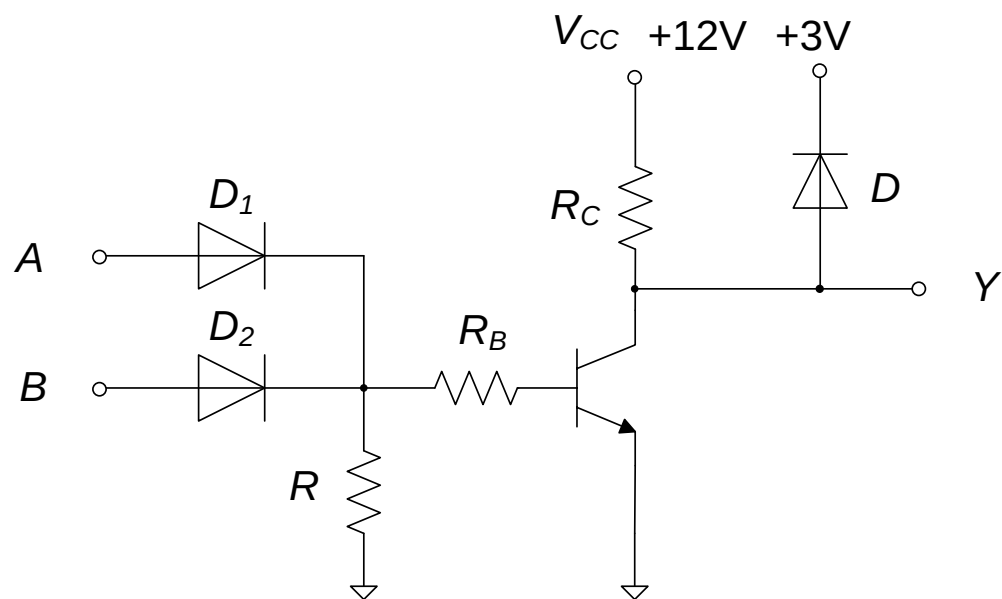


(b)

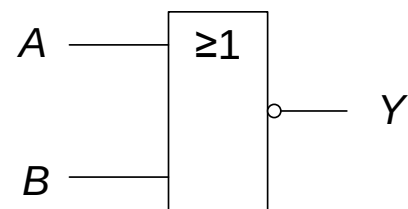
DTL电路 二极管与门+三极管非门

或非门电路

- 工作原理



(a)



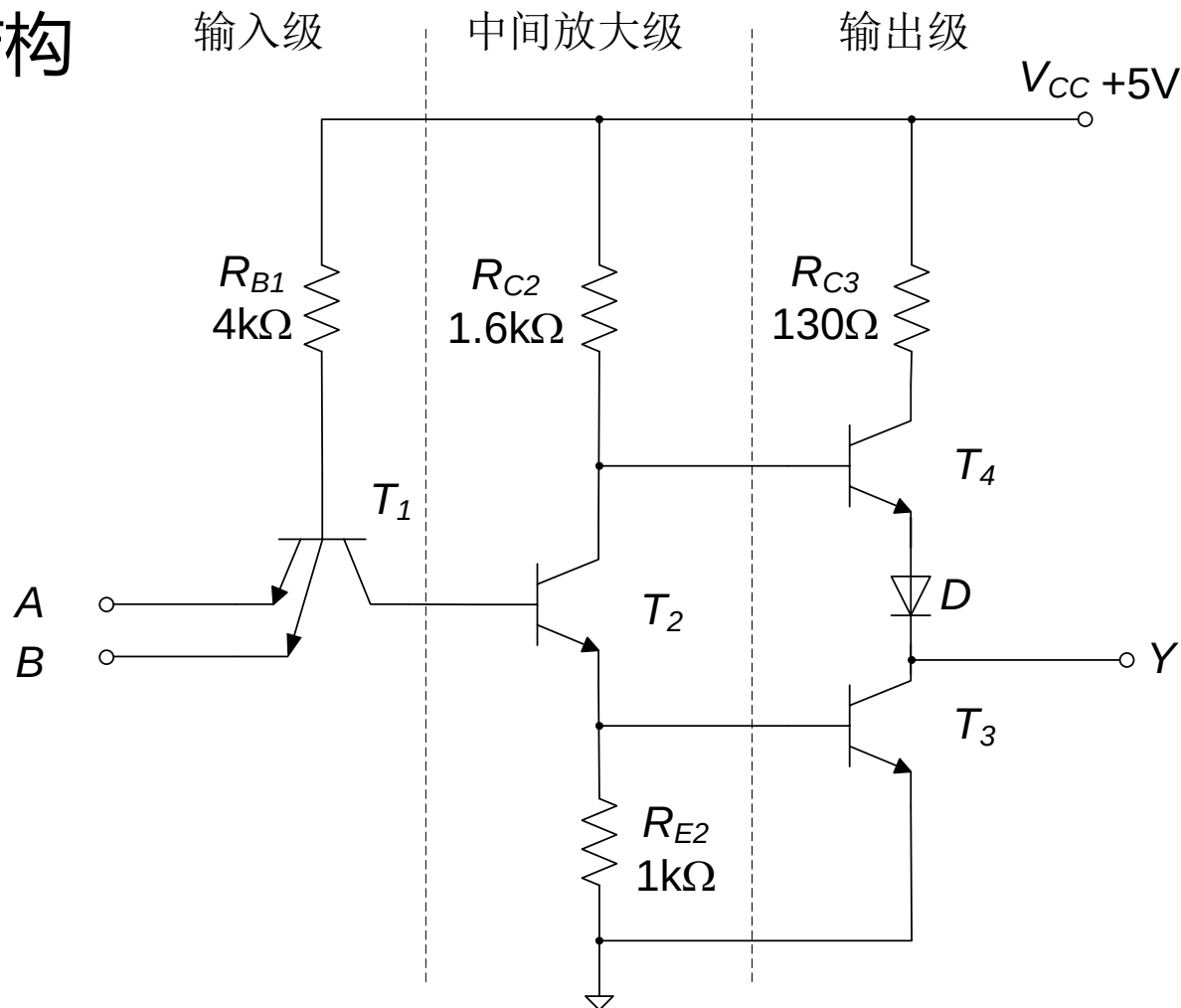
(b)

二极管或门+三极管非门

TTL集成逻辑门电路

TTL与非门的电路结构

工作原理



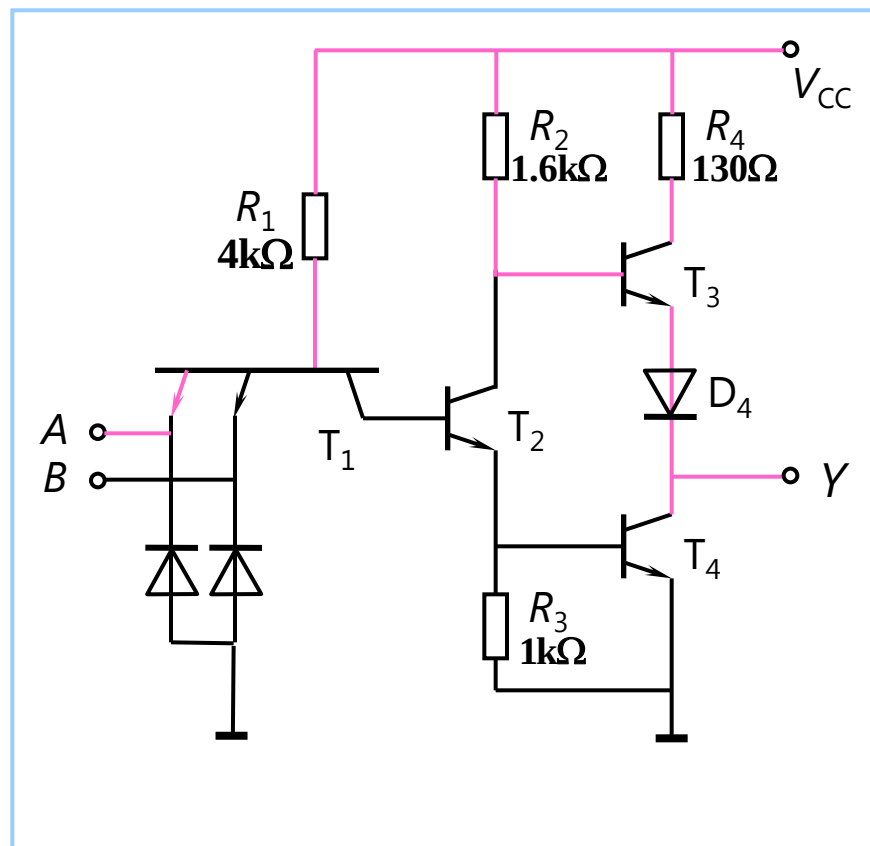
输入A、B中有一个为低电平(0.3V)时， T_1 的基极电位约为1V，因此 T_2 和 T_4 均不会导通。 V_{CC} 经 R_2 驱动 T_3 和 D_4 ，使之处于导通状态。因此输出电压 v_O 为：

$$v_O = V_{CC} - i_{B3}R_2 - v_{BE3} - v_{D4}$$

由于基流 i_{B3} 很小，可忽略不计，则

$$v_O \approx V_{CC} - v_{BE3} - v_{D4} = 5V - 0.7V - 0.7V = 3.6V$$

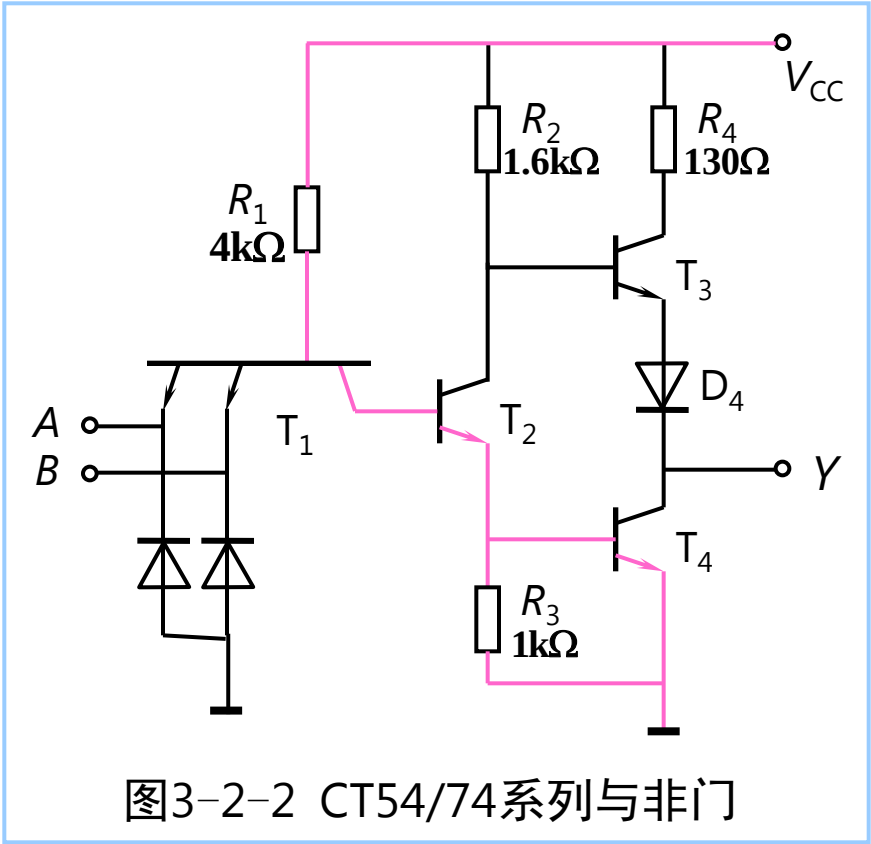
即输出为高电平，有时称电路处于关态。



当输入信号A、B全部为高电平(3.6V)时，T₁的基极电位升高，足以使T₁集电结、T₂和T₄的发射结导通。T₂的集电结电位约为1V，不能驱动T₃和D₄，使之处于截止状态。输出电压为：

$$v_O = V_{OL} = V_{CE(sat)4} \approx 0.3V$$

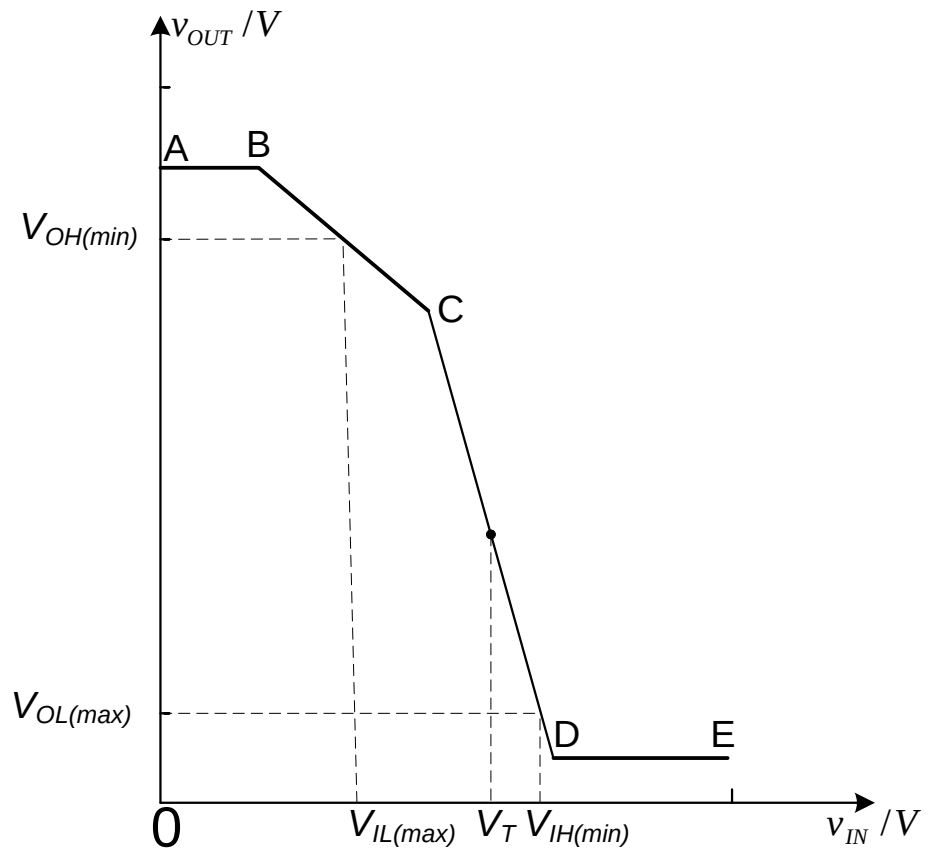
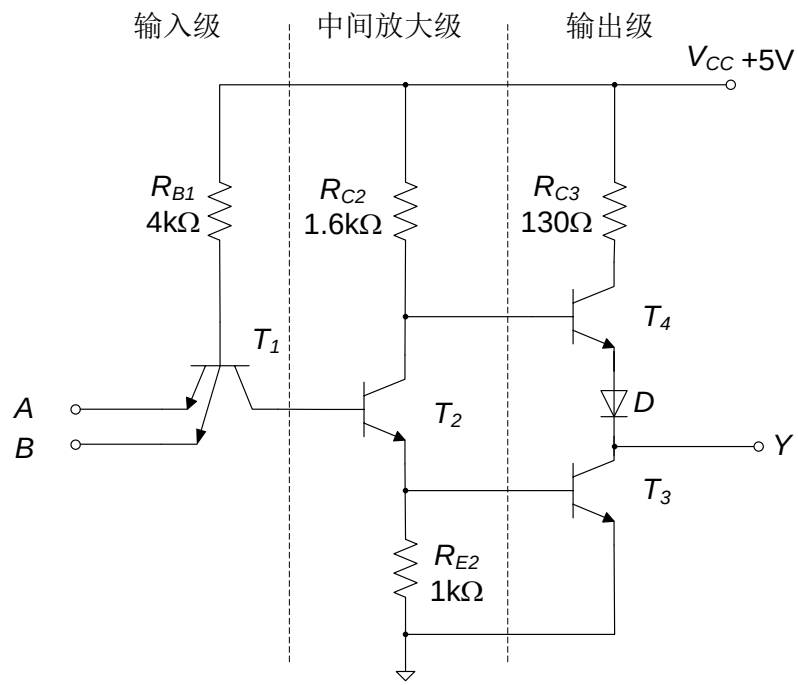
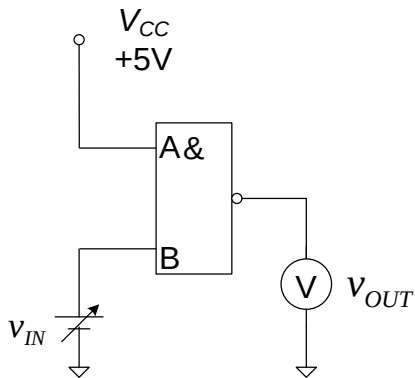
即输出为低电平，称电路处于开态。由此可见，电路具有与非门的逻辑功能。



TTL门电路各晶体管工作状态

	T ₁	T ₂	T ₃	D ₄	T ₄
输出高电平（关态）	饱和	截止	导通	导通	截止
输出低电平（开态）	倒置工作	饱和	截止	截止	饱和

TTL与非门的电压传输特性



TTL集成逻辑门电路

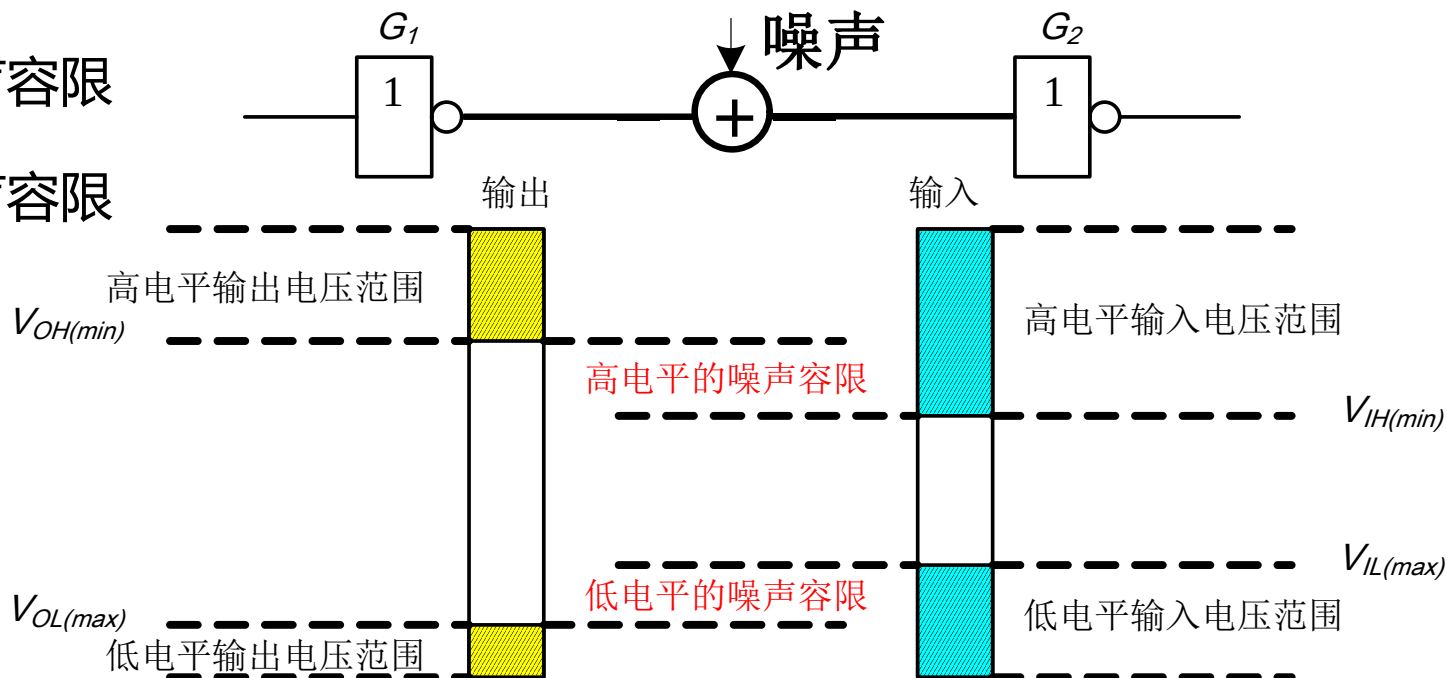
TTL与非门的静态性能参数

- 最小输出高电平 $V_{OH(min)}$ 最大输出低电平 $V_{OL(max)}$
- 最大允许输入低电平 $V_{IL(max)}$ 最小允许输入高电平 $V_{IH(min)}$

- 噪声容限

- 高电平噪声容限

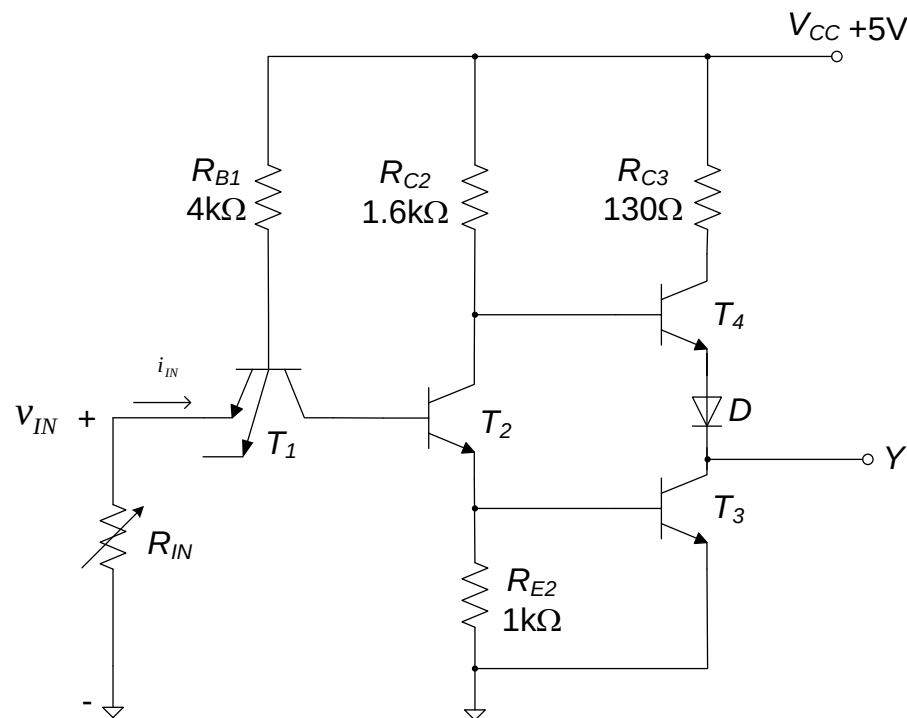
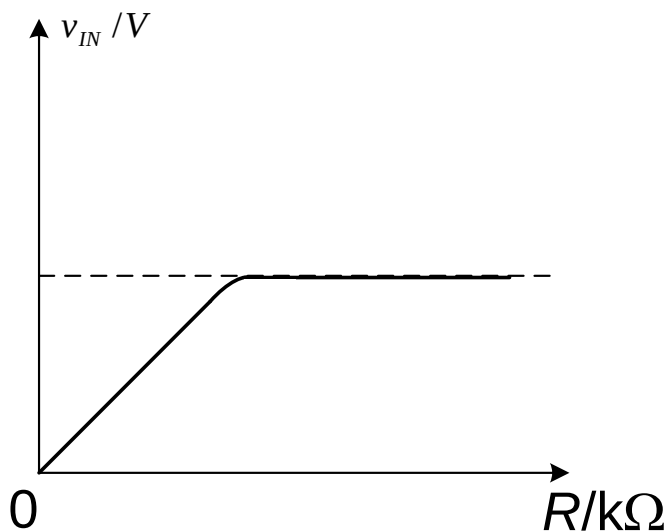
- 低电平噪声容限



TTL与非门的输入负载特性

- TTL与非门的输入电压与输入端所连接电阻之间的关系称为输入负载特性

$$v_{IN} = i_{IN} R_{IN} = \frac{V_{CC} - V_{BE1}}{R_{B1} + R_{IN}} R_{IN}$$



TTL与非门的输入/输出特性

■ 输入特性：TTL门电路的输入电压与输入电流之间的关系。

- 高电平输入特性

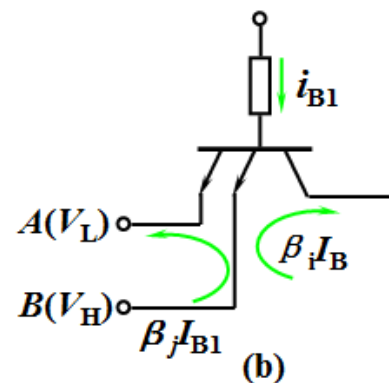
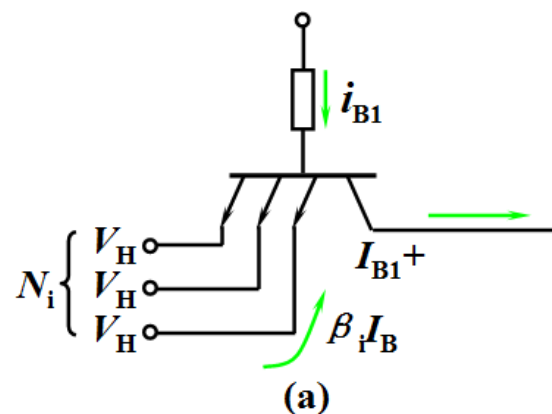
- 输入漏电流/高电平输入电流

$$(I_{IH} < 20 \mu A, SN74ALS00A)$$

- 低电平输入特性

- 输入短路电流

$$(I_{IS} < 0.1 mA, SN74ALS00A)$$



高电平输入端的漏电流是前级门电路的拉电流负载电流，漏电流太大会造成前级输出高电平下降。

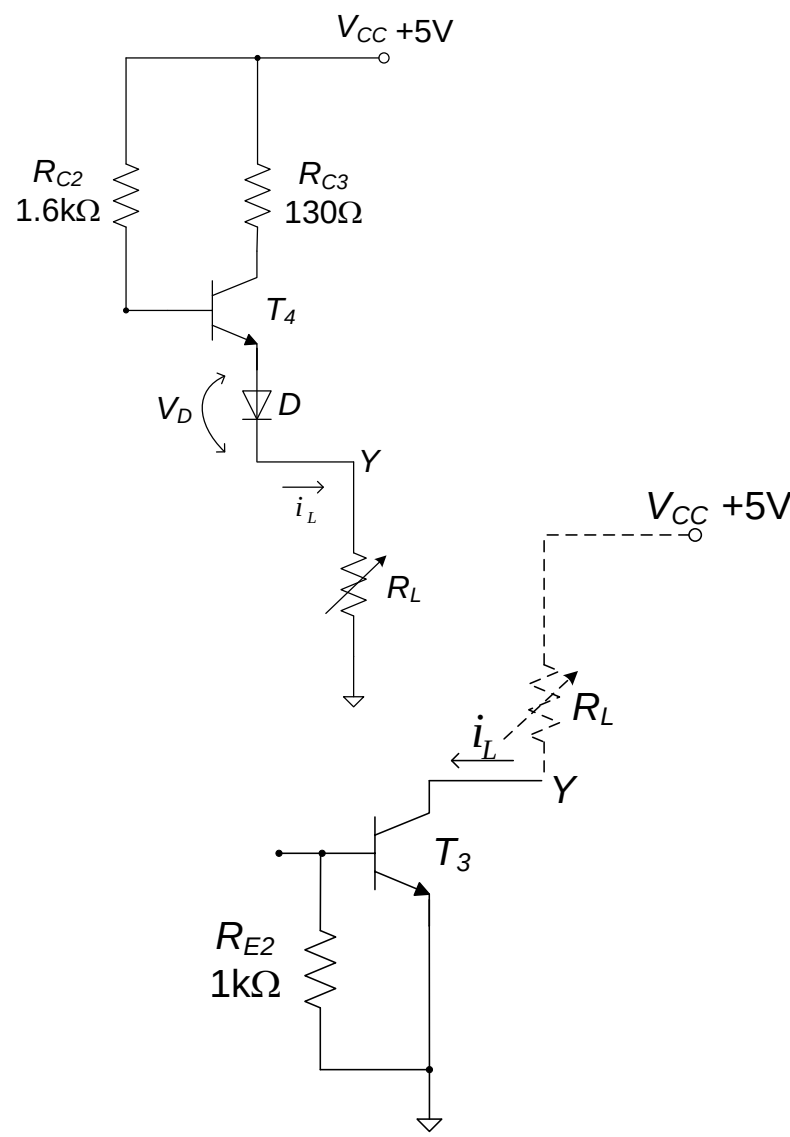
TTL与非门的输入/输出特性

■ 输出特性：TTL门电路的输出电压与输出电流之间的关系。

- 高电平输出特性
 - 输出高电平时的最大允许输出电流
- 低电平输出特性
 - 输出低电平时的最大允许输出电流
- 扇出系数：一个逻辑门在确保输出逻辑正确时，能够带动同类门的个数。

$$N_{OL} = \frac{I_{OL(max)}}{I_{IS}} = \frac{8mA}{0.1mA} = 80$$

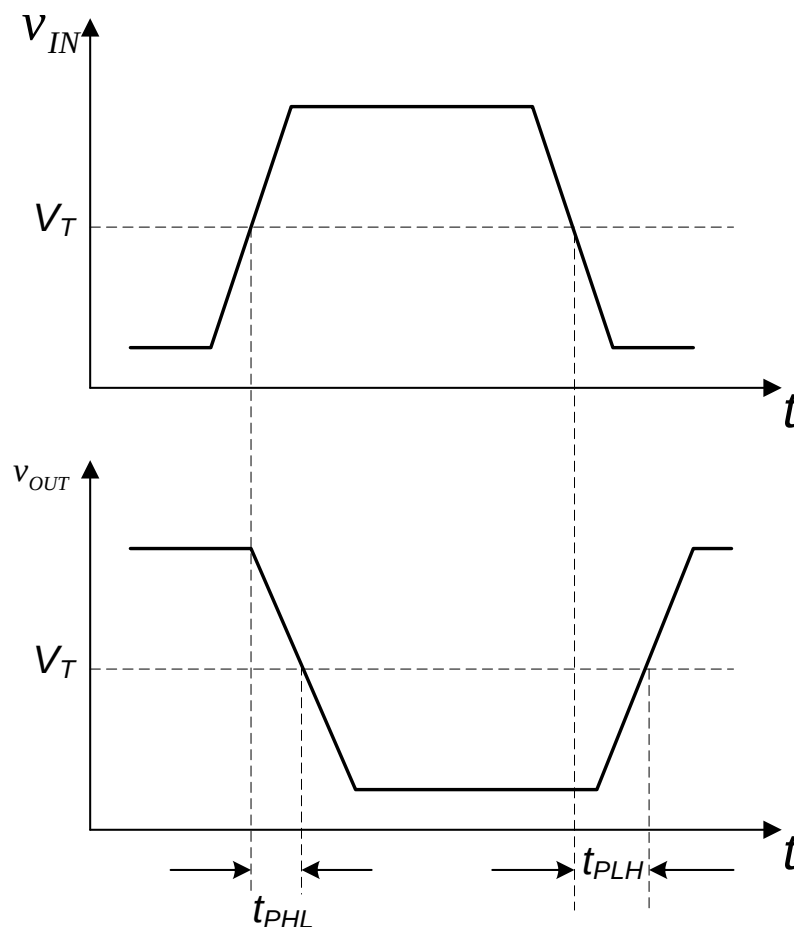
$$N_{OH} = \frac{I_{OH(max)}}{I_{IH}} = \frac{0.4mA}{20\mu A} = 20$$



TTL与非门的动态特性

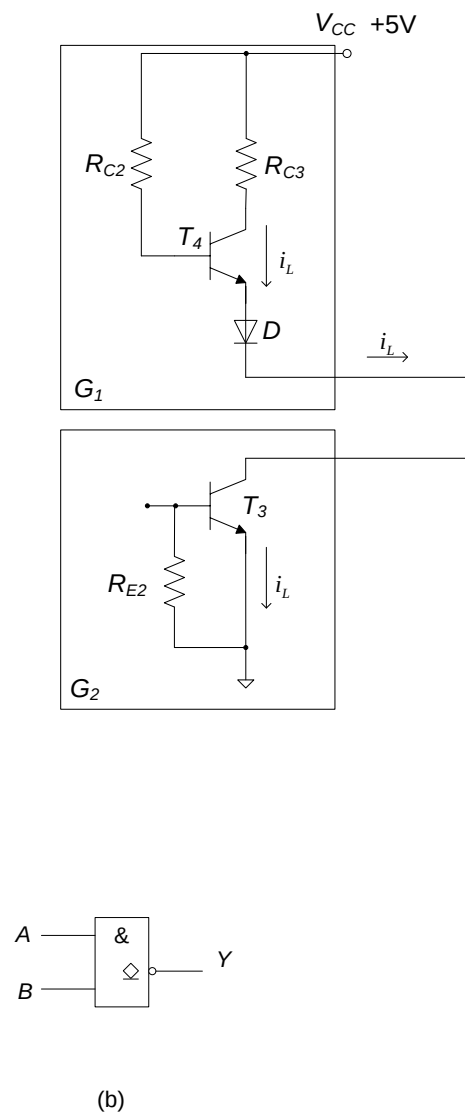
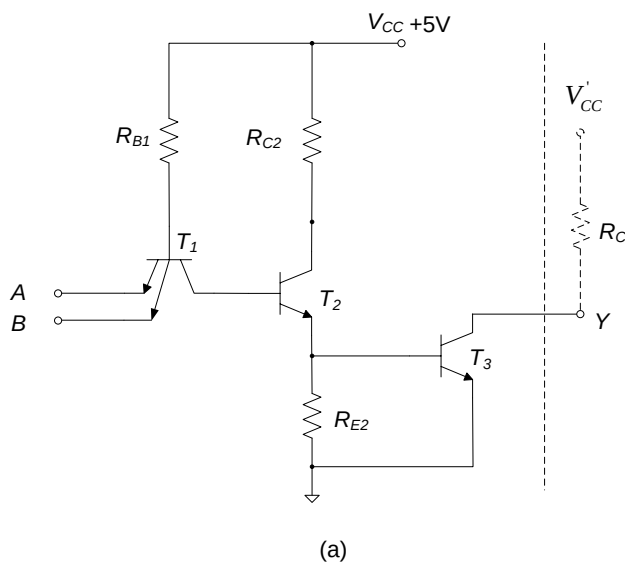
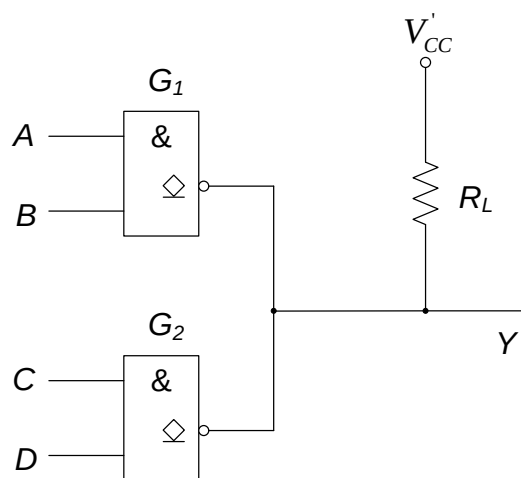
■ 传输延迟时间，指的是输出电压波形滞后于输入电压波形的时间。

- t_{PHL} ：输出电压由高电平跳变为低电平时的传输延迟时间。
- t_{PLH} ：输出电压由低电平跳变为高电平时的传输延迟时间。

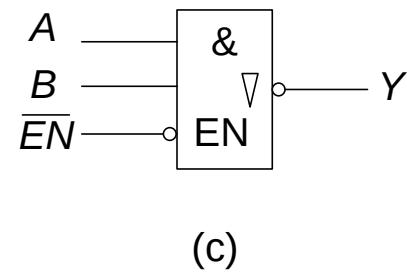
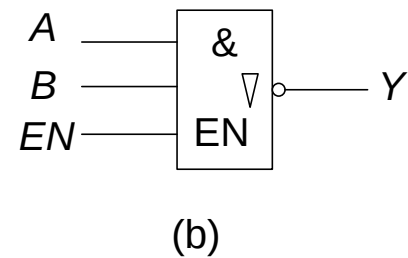
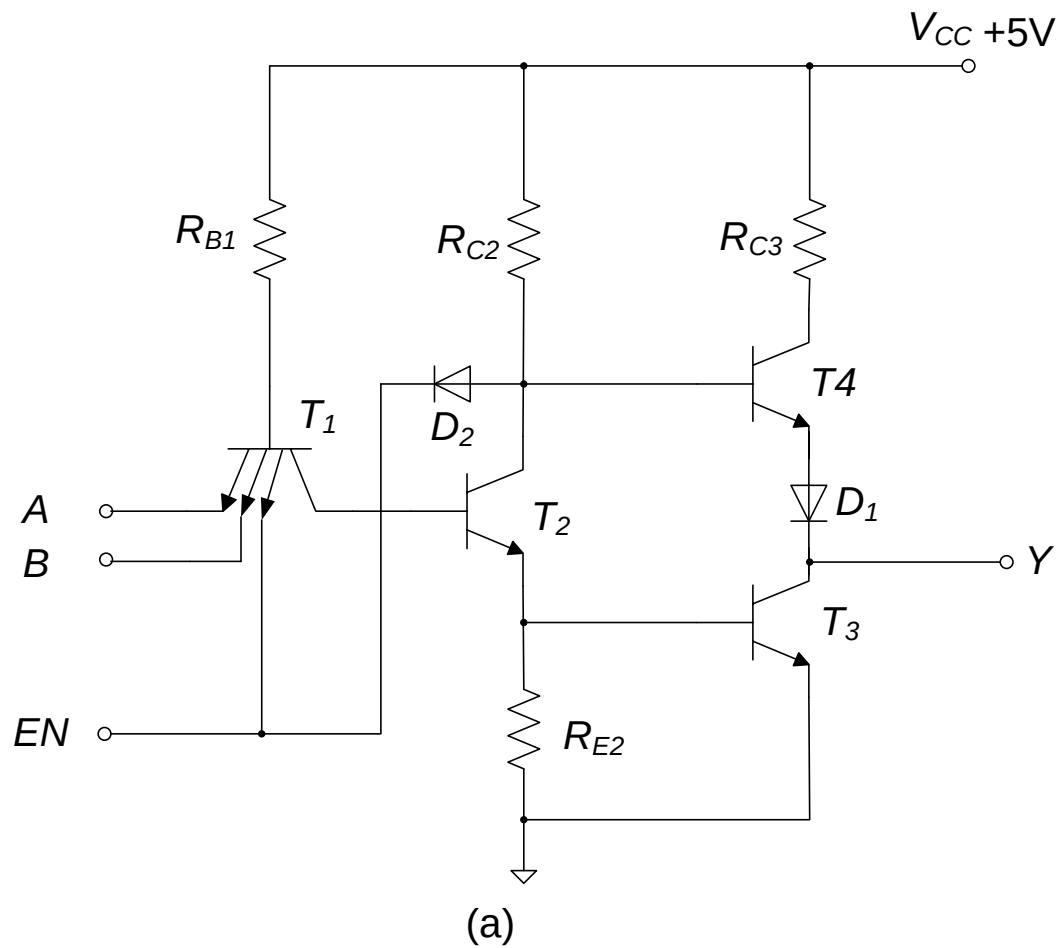


TTL集电极开路与非门

- 总线
- 总线冲突
- 工作原理
- 线与



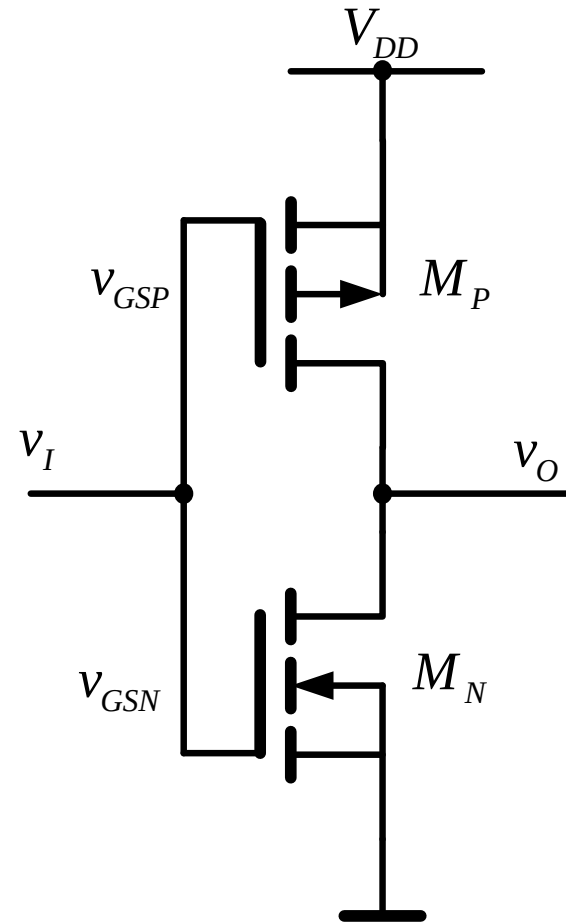
TTL三态门



CMOS集成逻辑门电路

■ CMOS反相器

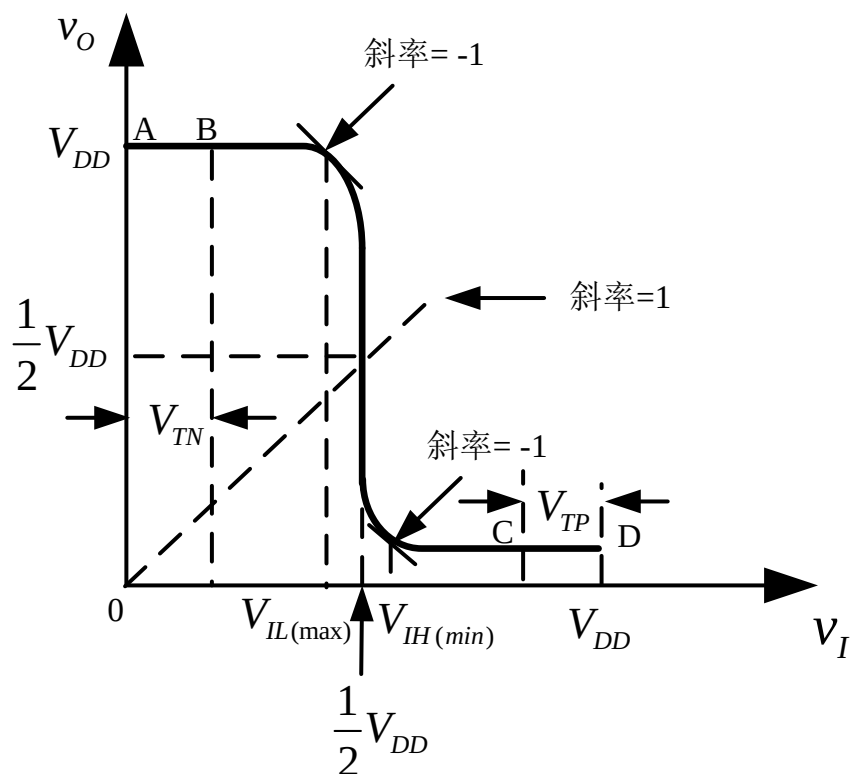
- 工作原理



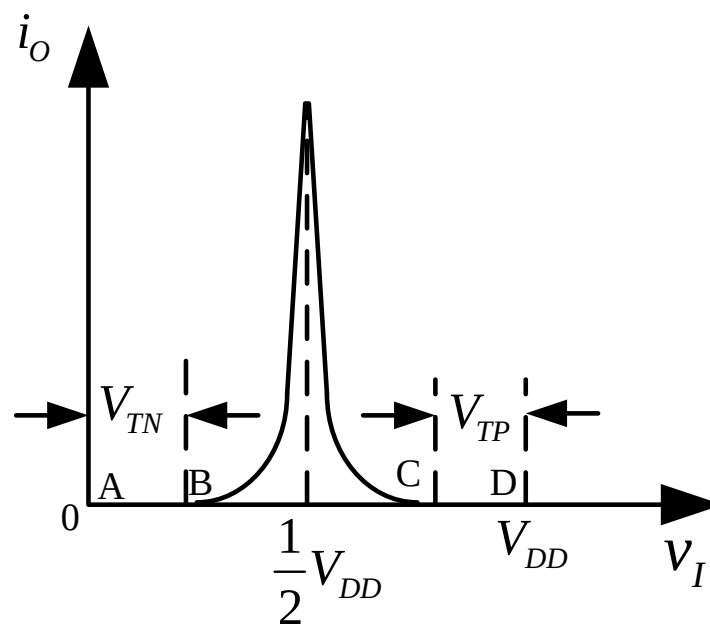
CMOS反相器电压/电流传输特性

电压传输特性

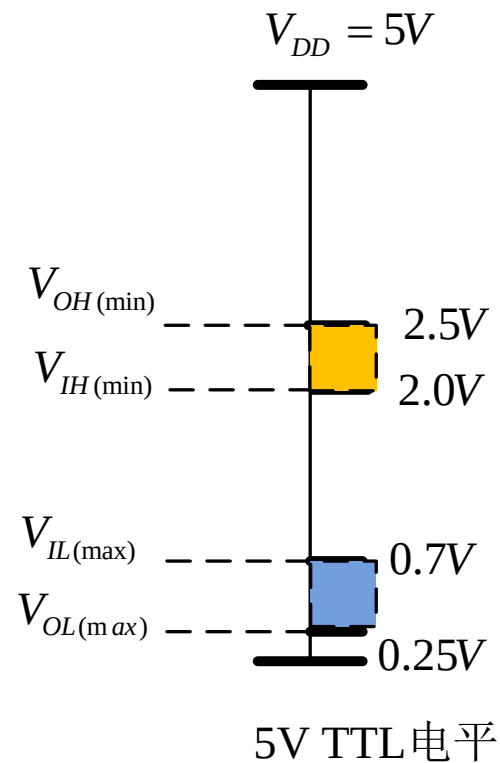
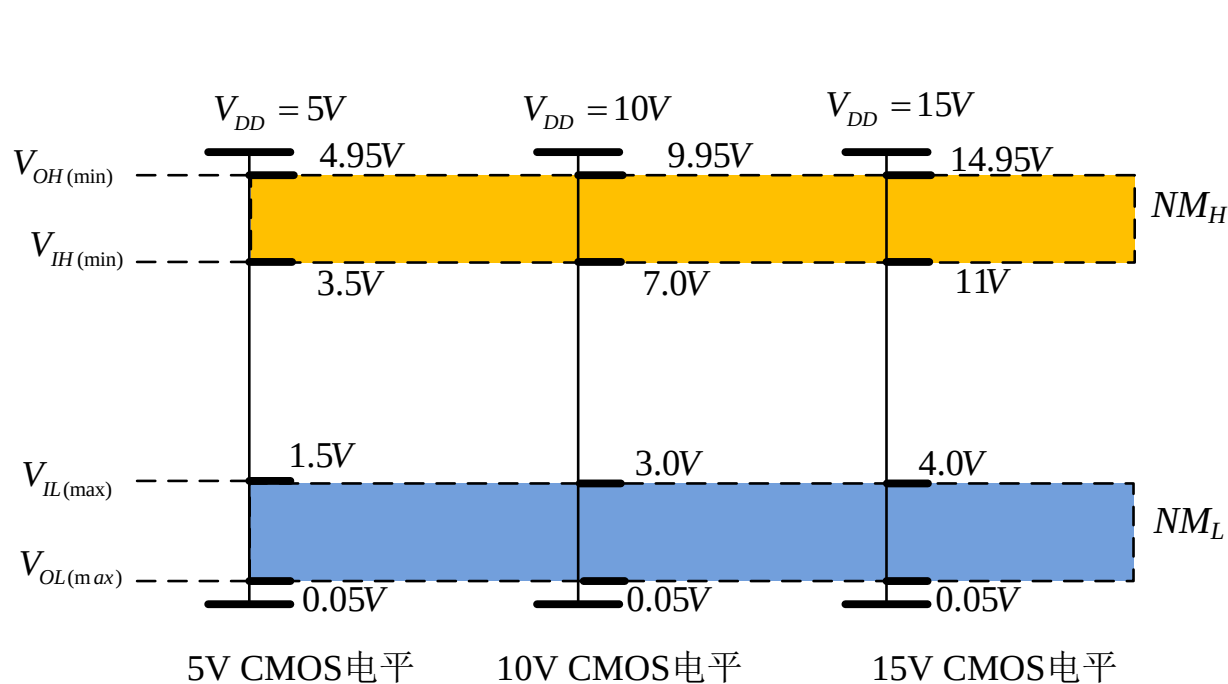
- 最小允许输入高电平
- 最大允许输入低电平
- 阈值电压



电流传输特性



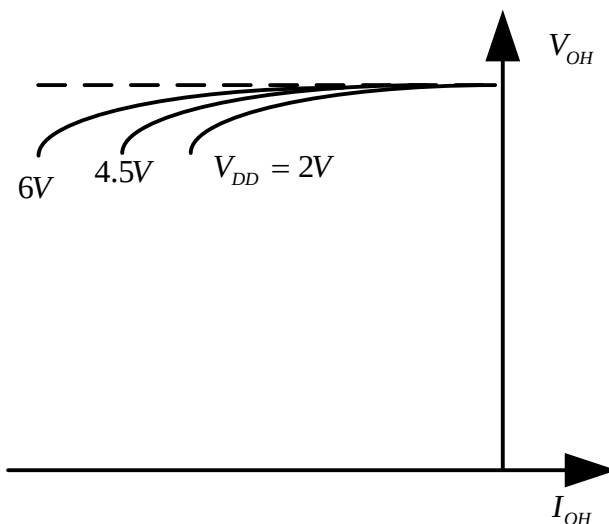
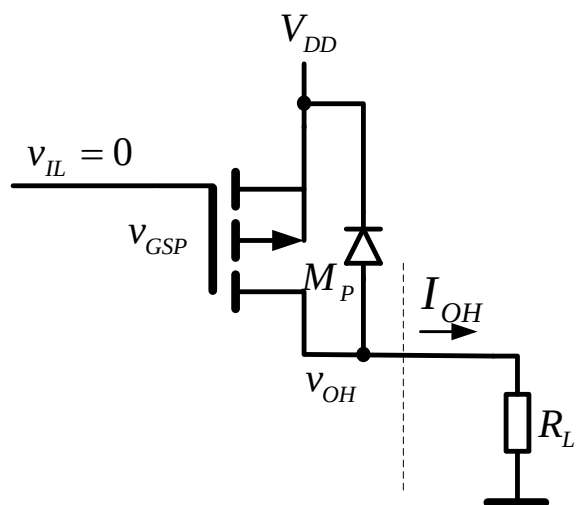
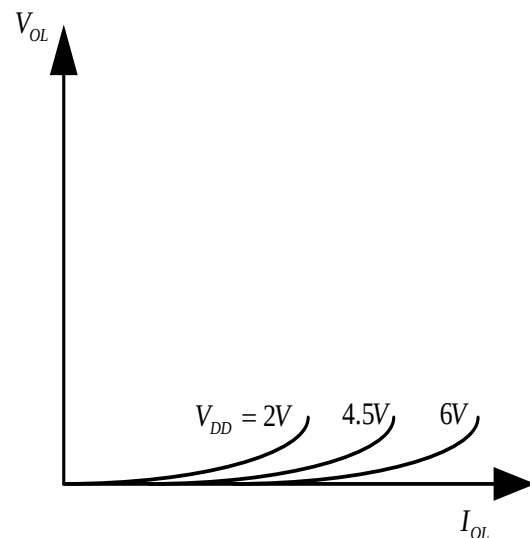
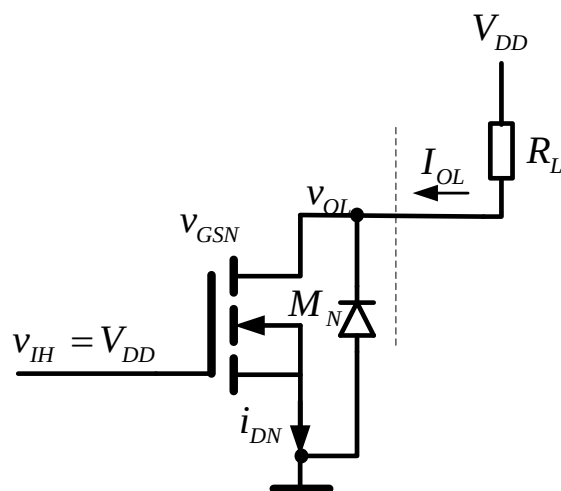
逻辑门电平与噪声容限



CMOS反相器静态特性

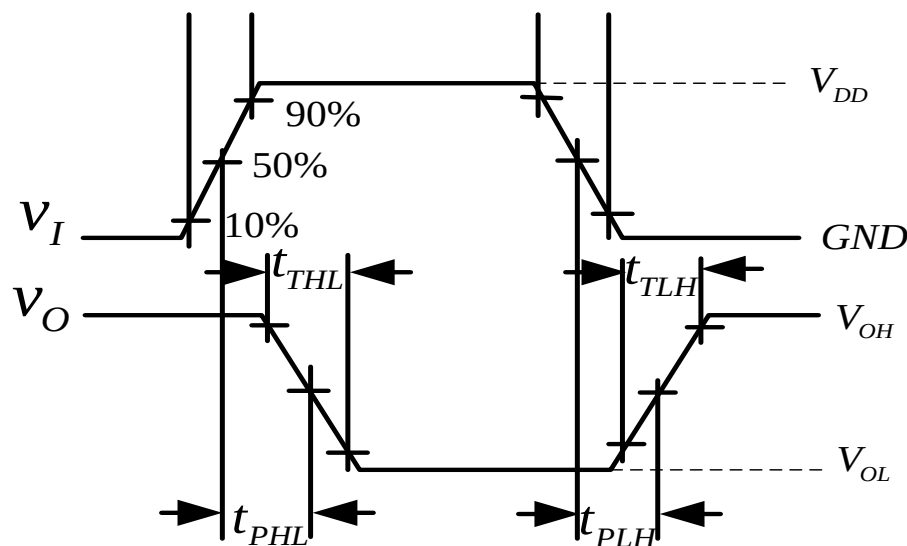
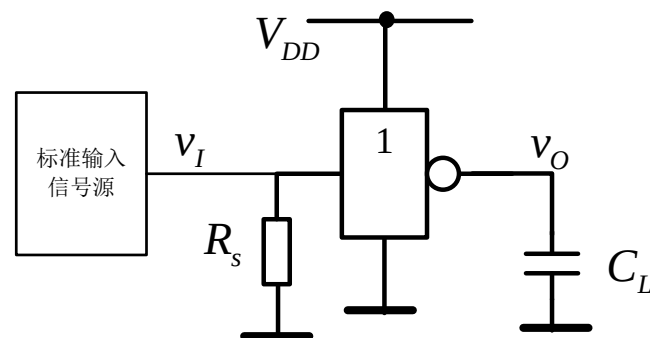
■ 输出特性

- 低电平输出特性
- 高电平输出特性



CMOS反相器动态特性

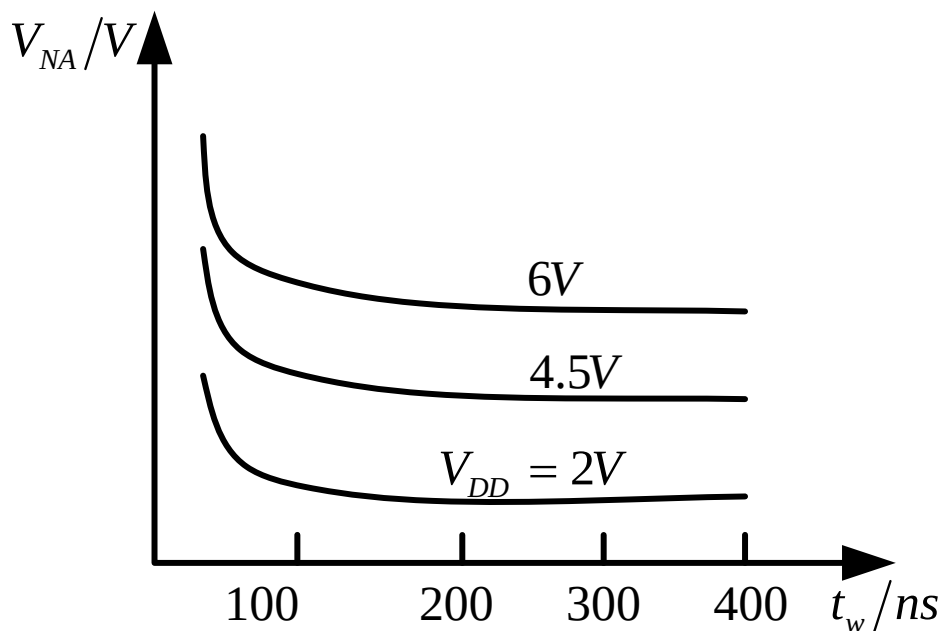
- 传输延迟时间
 - 以输入、输出波形对应边上等于最大幅度的50%的两点时间间隔来定义的。
- 转换时间
 - 上升时间：输出电压从10%上升到90%所需的时间
 - 下降时间：输出电压从90%下降到10%所需的时间



延迟还受 C_L 影响，还受 V_{DD} 、寄生电容影响。延迟是电容的充放电。

交流噪声容限

交流噪声容限：噪声电压作用时间小于或接近于传输延迟时间



寄生电容影响，相当于一个低通滤波器，将高频噪声过滤掉了。
电源电压越大，噪声容限越大

功耗

- 静态功耗

$$P_S = V_{DD} \times I_{DD}$$

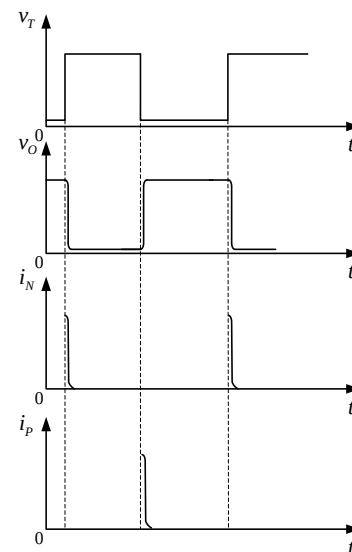
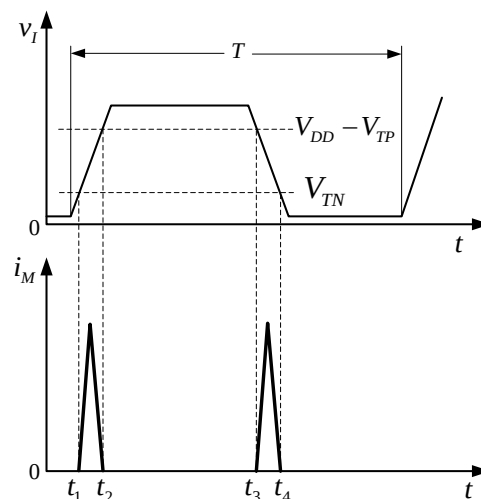
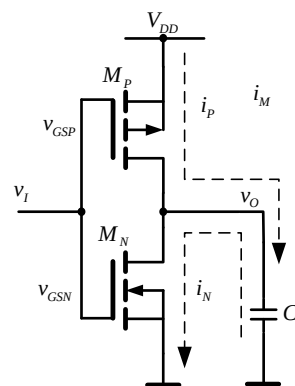
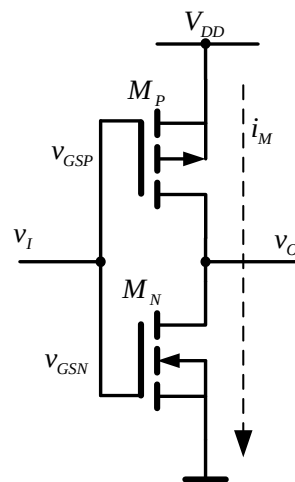
- 动态功耗

- 由于PMOS管和NMOS管短时间内同时导通所产生的瞬时导通功耗。

- 对负载电容充放电所消耗的功耗

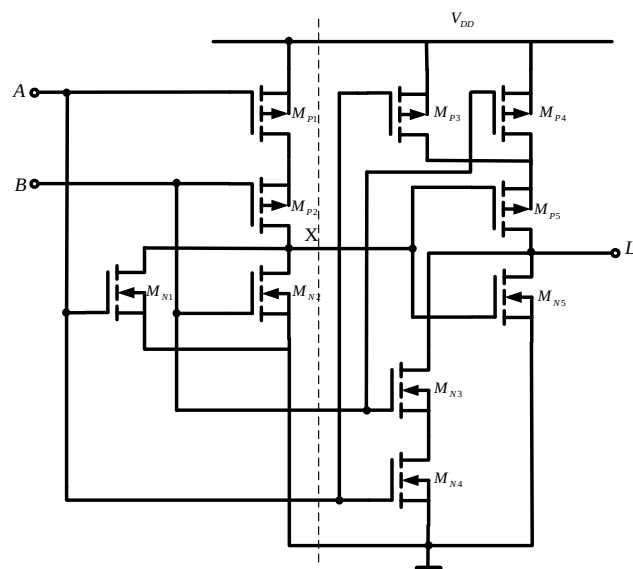
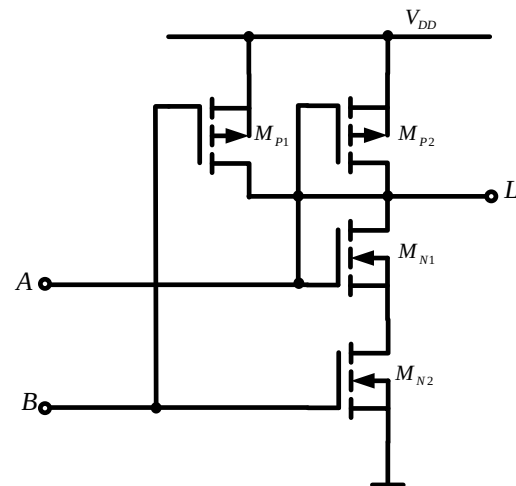
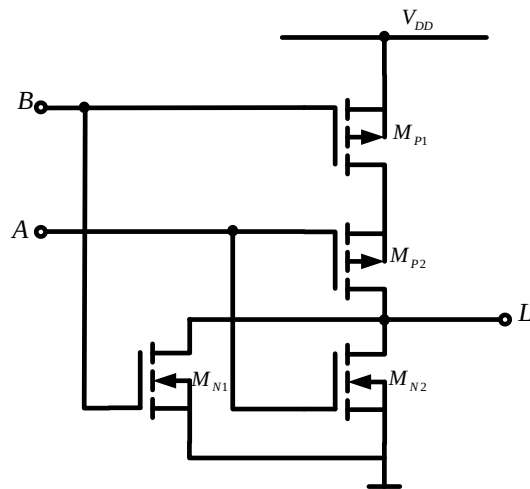
$$P_C = C_L f V_{DD}^2$$

$$P_M = P_T + P_C$$



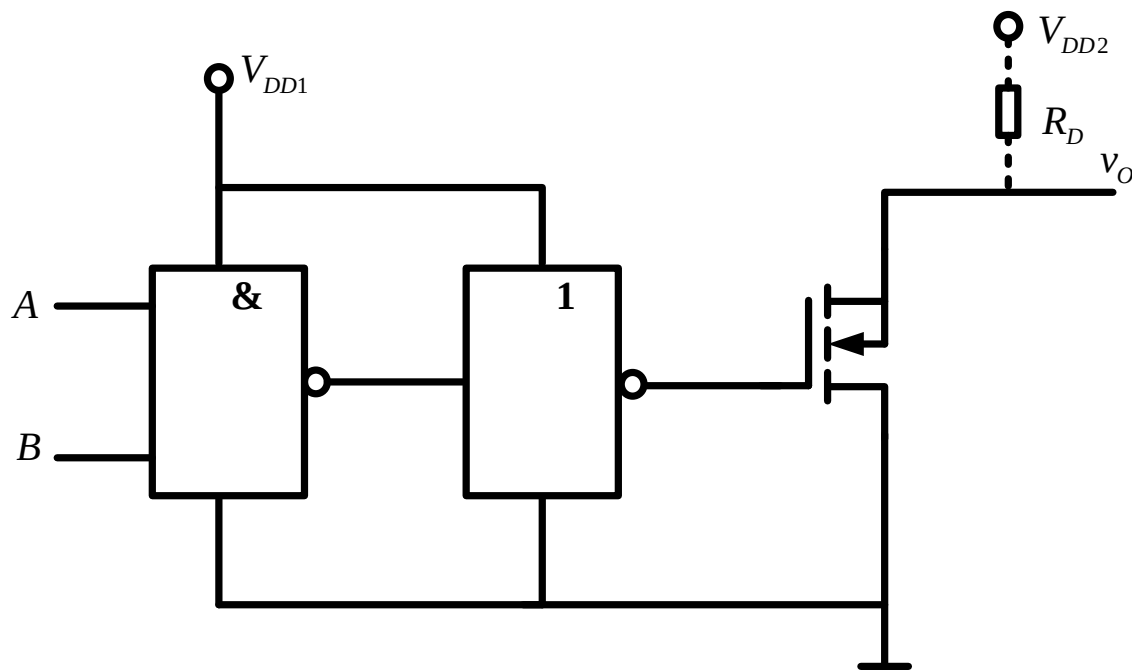
CMOS复合逻辑门电路

- 与非门电路
- 或非门电路
- 异或门电路

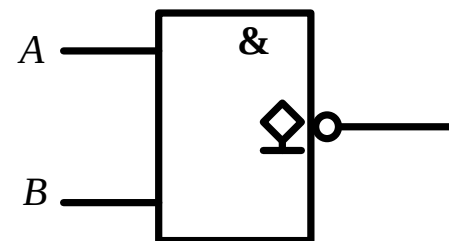


CMOS漏极开路门和三态输出门

■ CMOS漏极开路门

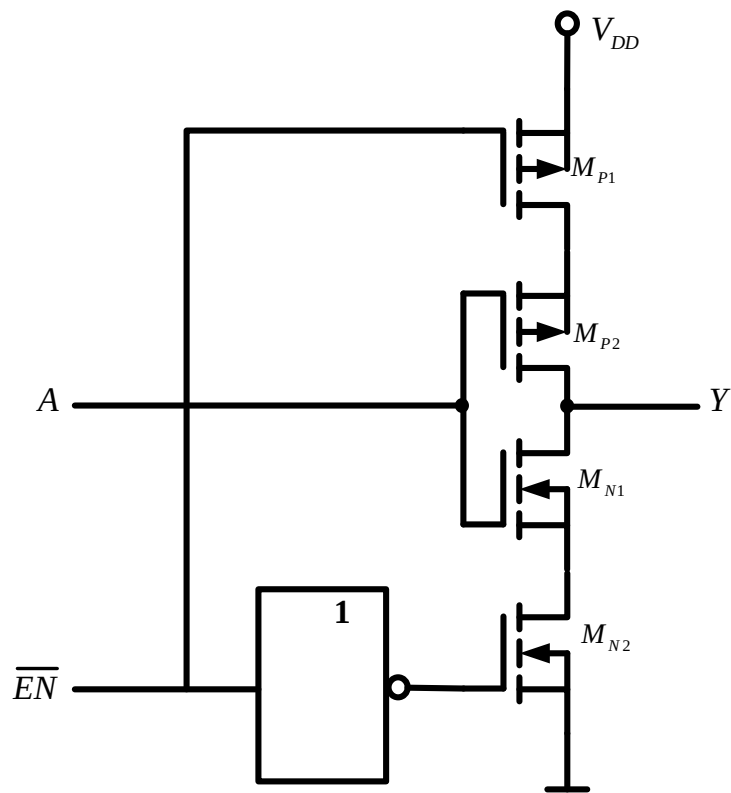


(a) 电路图

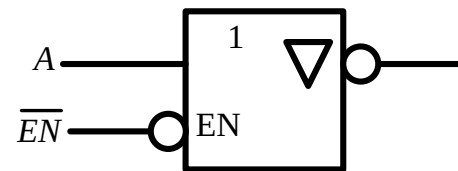


(b) 逻辑符号

■ CMOS三态输出门

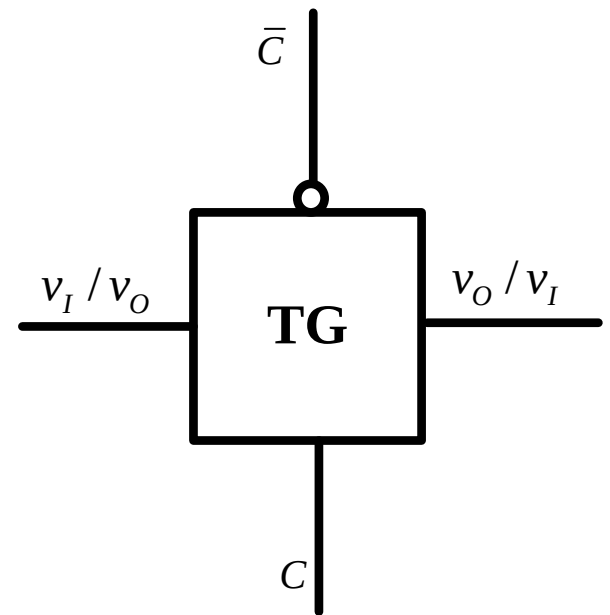
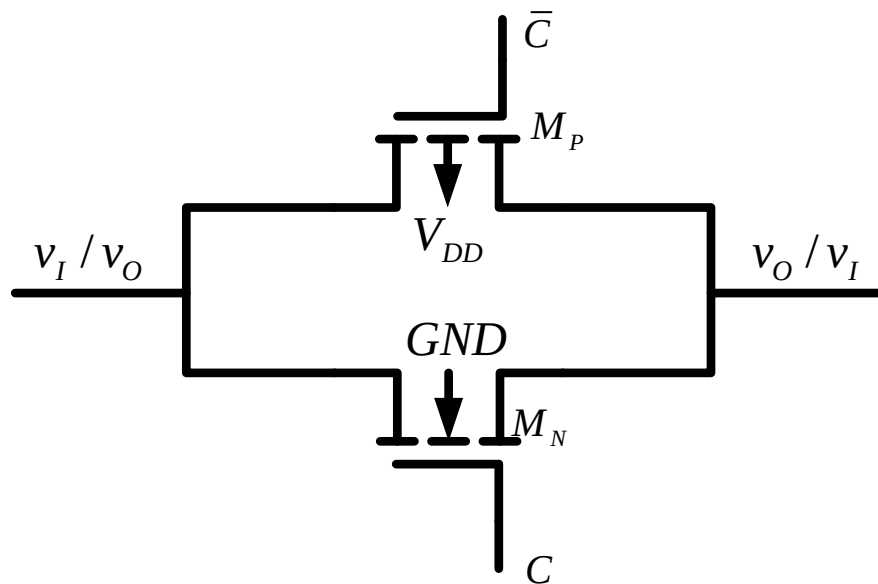


(a) 电路图



(b) 逻辑符号

CMOS传输门



CMOS/TTL门电路使用注意事项及相互连接

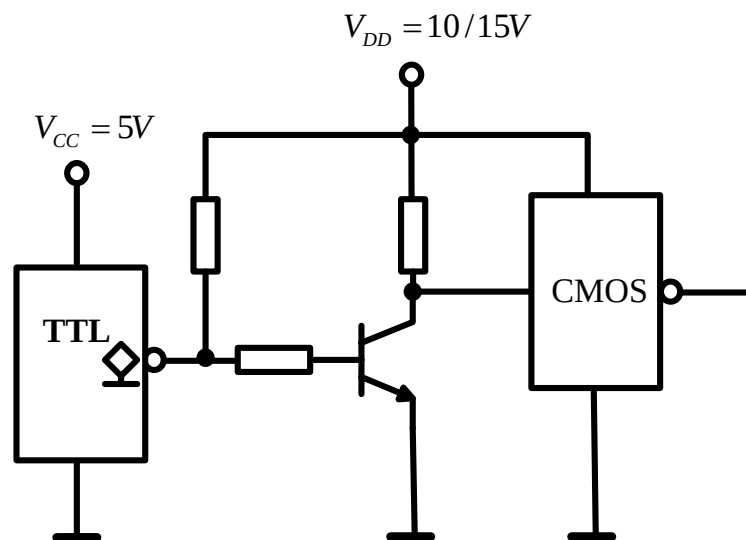
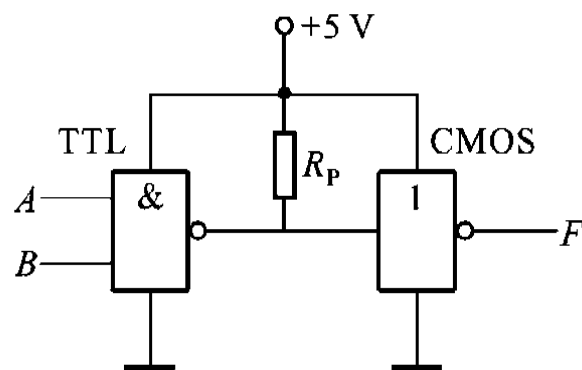
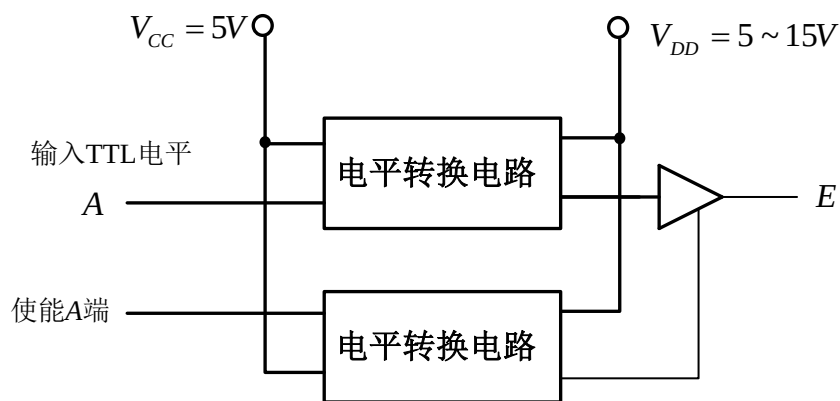
■使用注意事项

- 所有与CMOS电路直接接触的工具、仪表等必须可靠接地；
- 存储和运输CMOS电路，最好采用金属屏蔽层做包装材料。
- 多余的输入端不能悬空，可与其它输入端并联使用或将不用的输入端按照电路功能要求接电源或接地。
- 电路的安装应尽量避免干扰信号的侵入，保证电路稳定工作。

TTL门电路和CMOS 门电路的相互连接

■ TTL门驱动CMOS门

- 电平不匹配
- 电流匹配



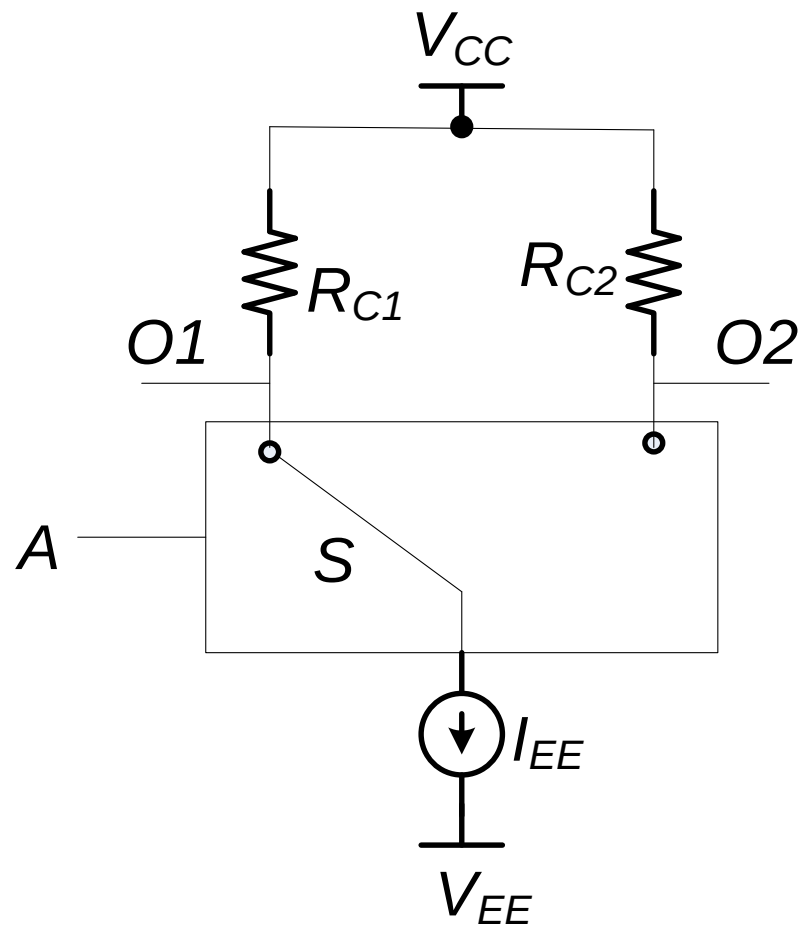
TTL门电路和CMOS 门电路的相互连接

■ CMOS门驱动TTL门

- 电平匹配
- 电流不匹配
 - 选用CMOS缓冲器，比如，CC4009的驱动电流可达4mA，甚至有更高的缓冲驱动器。
 - 选用高速CMOS系列产品，选用CMOS的54HC/74HC系列产品可以直接驱动TTL电路。

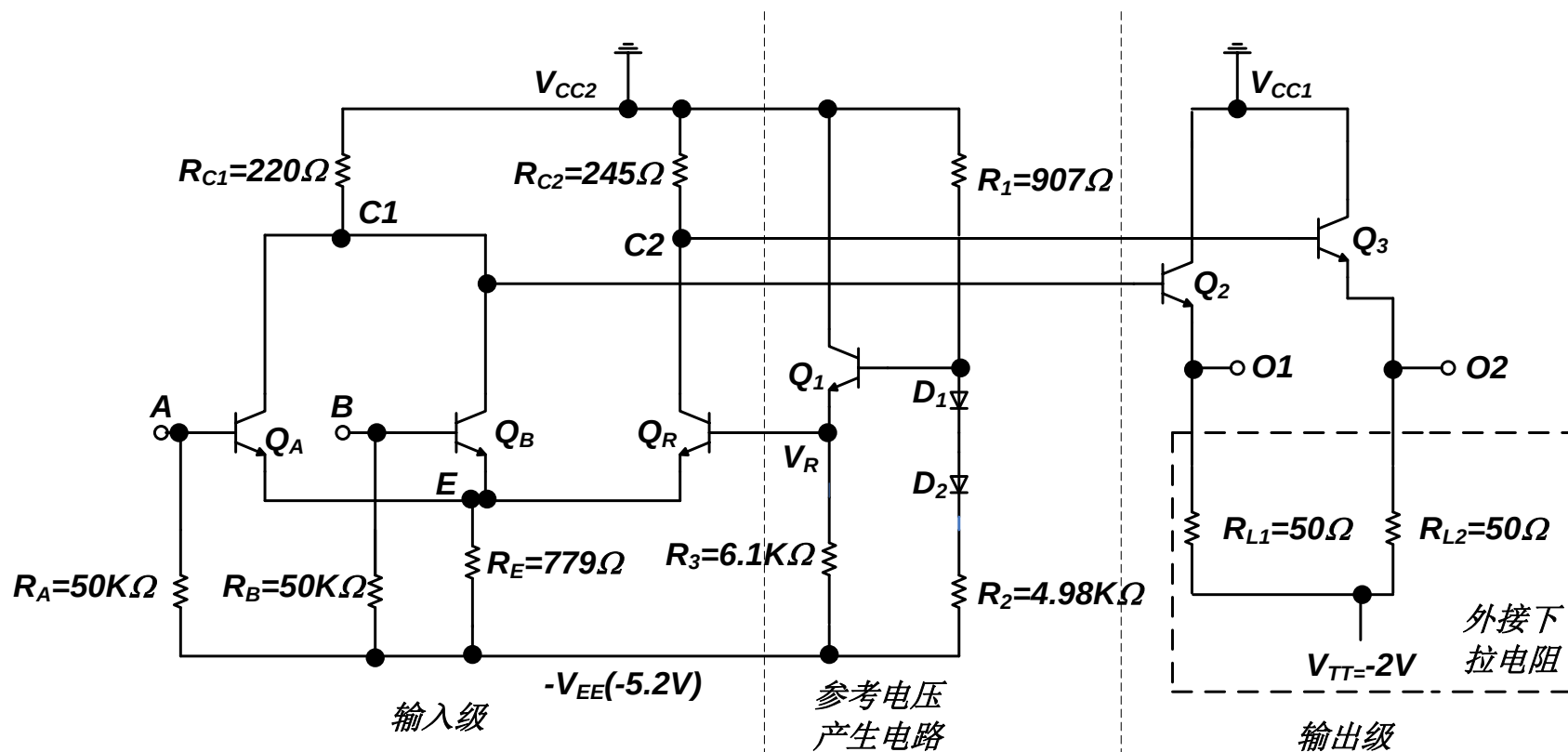
电流模式逻辑门电路

电流模式逻辑门电路简介



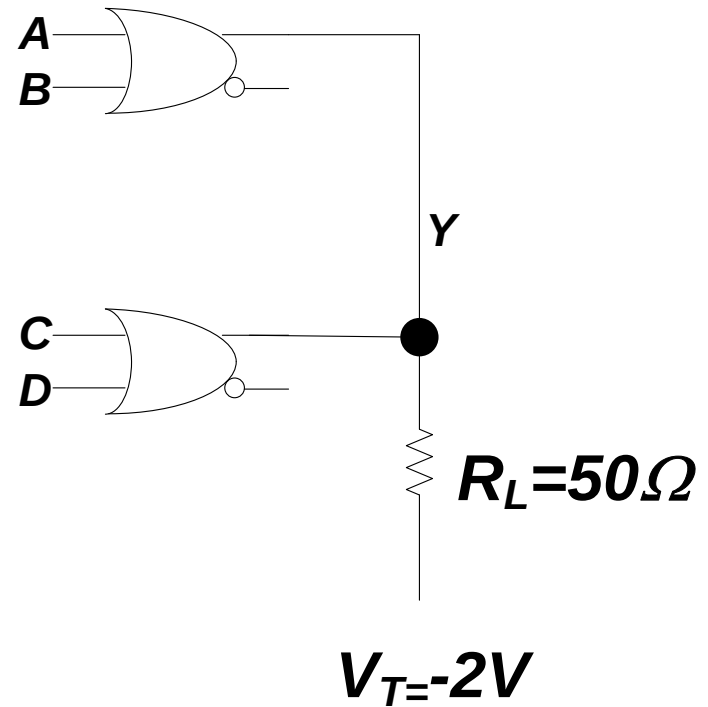
射极耦合逻辑门电路

- ECL 10K系列的基本电路



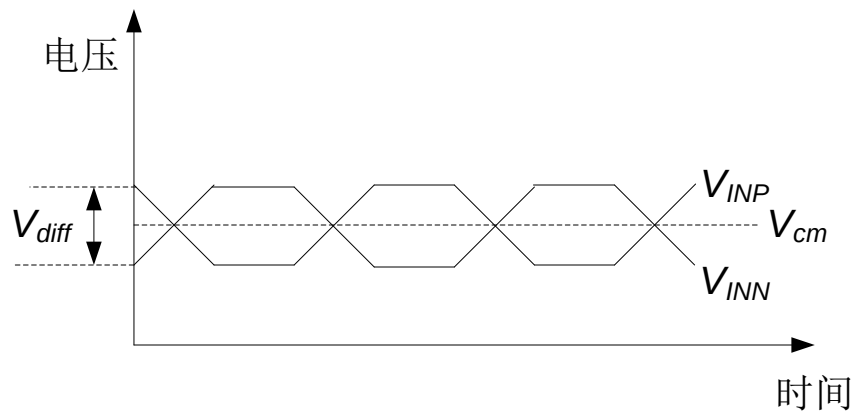
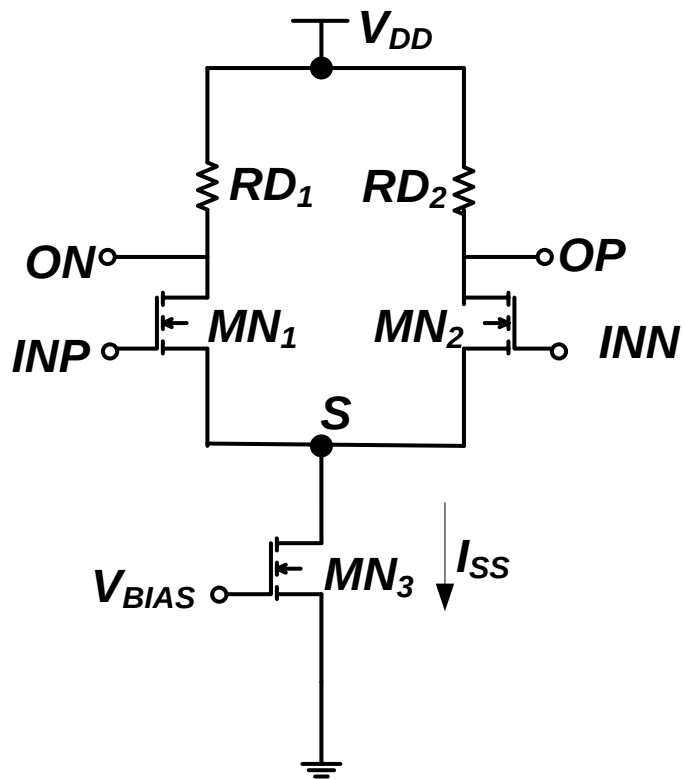
■ 射极耦合逻辑门电路

- 扇出系数
 - 直流扇出系数
 - 交流扇出系数
- 线或



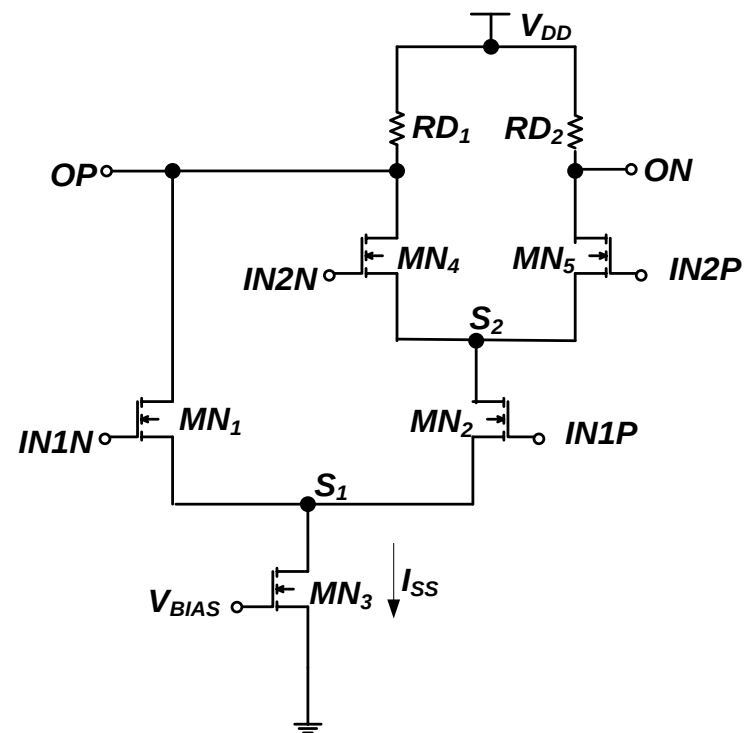
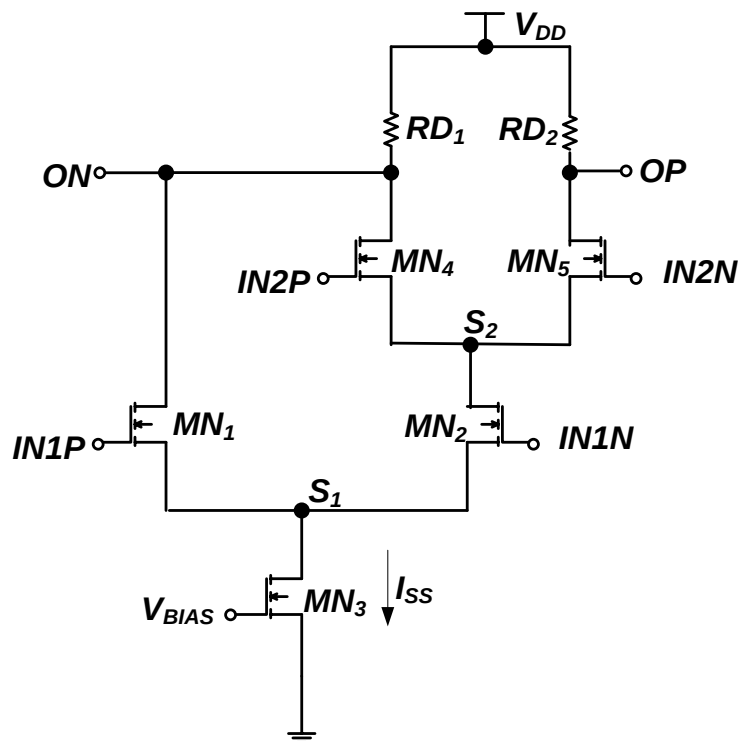
CMOS电流模式逻辑电路

CMOS电流模式逻辑电路



CMOS电流模式逻辑电路

- 或/或非门
- 与/与非门



VIP

ATL

Video Image Processing

Research Group @ Fudan

<http://soc.fudan.edu.cn/vip/>

Thank you !