

# 第4章

# 触发器

*Video Image Processing (VIP)*  
*Research Group @ Fudan*  
<http://soc.fudan.edu.cn/vip/>

**范益波**

**2013.9**

# 本章内容

- 电路如何产生“记忆”？
- 谁来扣动促发记忆的“扳机”？

# 本章要求

- 掌握触发器的基本类型及其状态描述
- 了解触发器的结构与工作原理
- 掌握触发器的基本应用电路

## 3.1 触发器的基本类型及其状态描述

触发器：具有记忆功能的逻辑单元

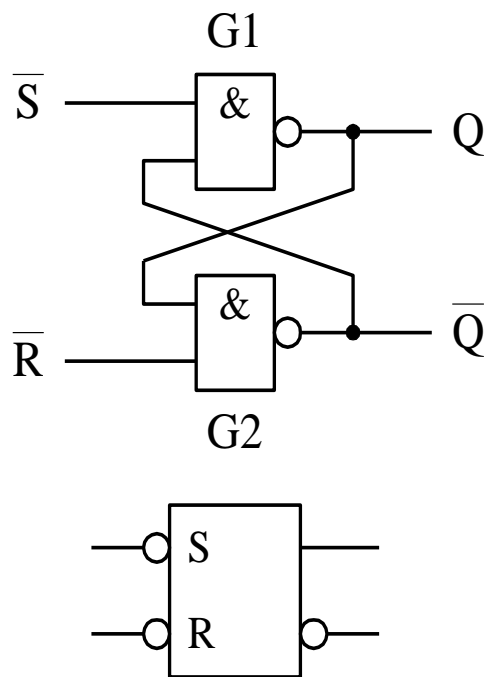
触发器（Flip-Flop）：由时钟信号触发引起输出状态改变，并且该状态在下一次被触发之前始终不会改变的器件。（边沿触发）

锁存器（Latch）：输出状态不是由时钟信号触发，或者虽然由时钟信号触发但在时钟信号的某个电平下输出会随着输入改变而改变的器件。（电平触发）

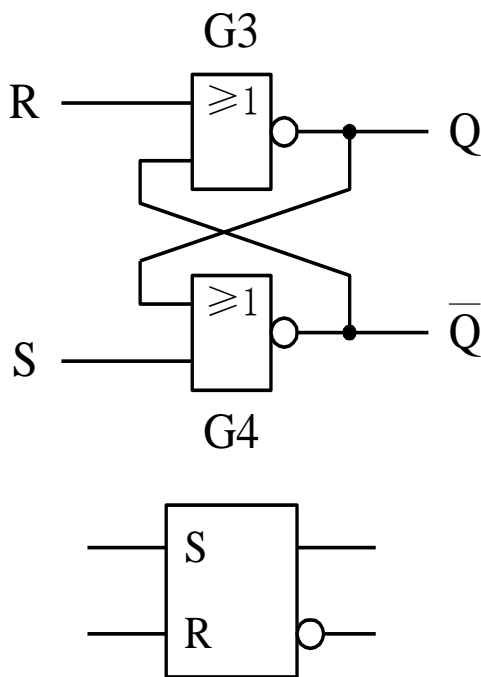
四类触发器：RS，JK，D 和 T 触发器

# R-S 触发器（锁存器）

## 结构原理图



最简单的触发器：基本RS触发器  
将两个与非门或者或非门的输出交叉反馈到输入。



## 真值表

$S$	$R$	$Q_{n+1}$
1	0	1
0	1	0
0	0	$Q_n$
1	1	?

$Q_n$  现态， $Q_{n+1}$  是次态。

**$S=R=1$ 时，如果转变为 $S=R=0$ 时会有不确定态。**

## 状态表

$Q_n$	$Q_{n+1}$			
	$SR=00$	$SR=01$	$SR=11$	$SR=10$
0	0	0	d	1
1	1	0	d	1

卡诺图化简，得：

## 激励表

$Q_n$	$Q_{n+1}$	$S$	$R$
0	0	0	d
0	1	1	0
1	0	0	1
1	1	d	0

状态方程也可以从真值表得出。最好是从状态表得出。

## 状态方程

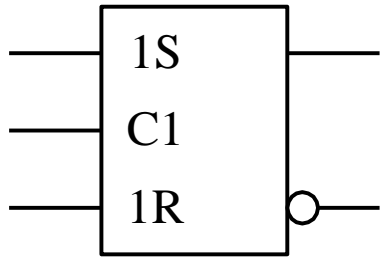
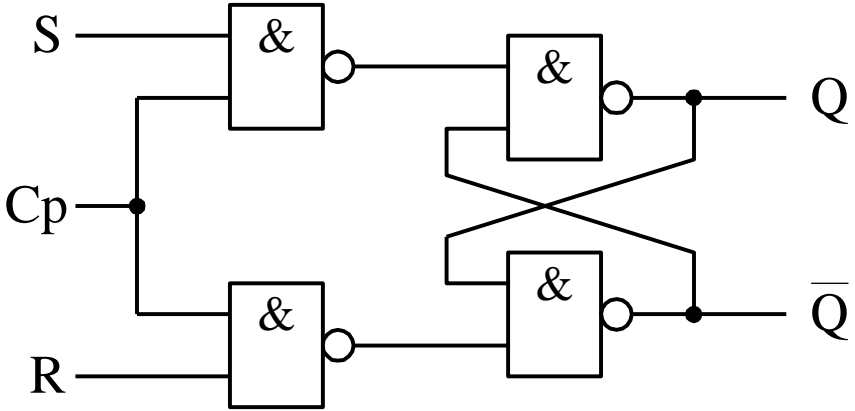
$$Q_{n+1} = S + \bar{R}Q_n$$

次态

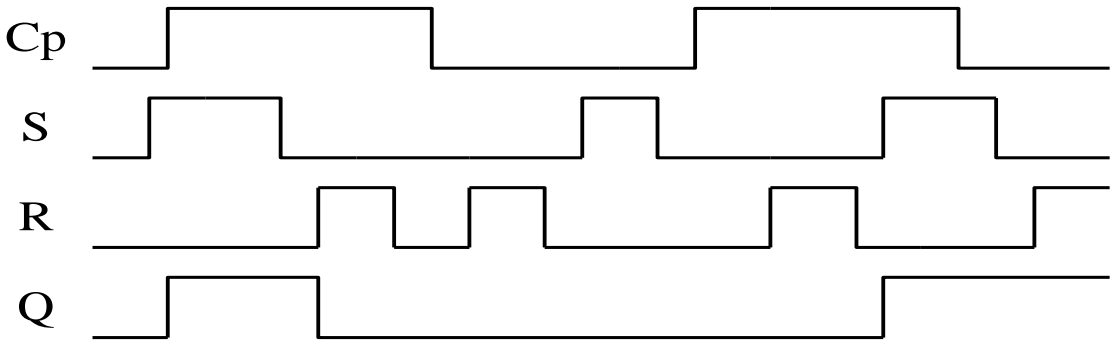
现态

没有限制输入何时发生，它的状态转换随时可能发生。

# 带同步时钟的RS触发器及其逻辑符号（同步锁存器）



## 带同步时钟的RS触发器的时序波形

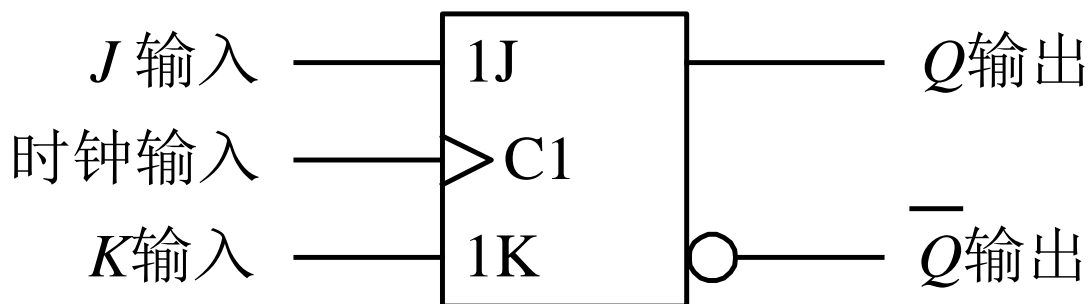


当CP=1时，SR输入传递到基本RS触发器的输入端。CP=0时，所有输入被封锁。

**RS锁存器**：CP=1期间，输出随输入变化。CP=0期间锁存的状态是CP从1变0时刻触发器的状态。

基本RS的真值表、状态表、状态方程、激励表都适用于同步RS触发器。

# JK触发器



真值表

$J$	$K$	$Q_{n+1}$
1	0	1
0	1	0
0	0	$\underline{Q}_n$
1	1	$\overline{Q}_n$

**与SR触发器的不同:**  
J=K=1时, 每当触发脉冲有效时, 触发器的状态翻转一次。

新功能: 状态翻转

状态方程

$$Q_{n+1} = J\overline{Q}_n + \overline{K}Q_n$$

试画出JK触发器的电路图?



# 状态表

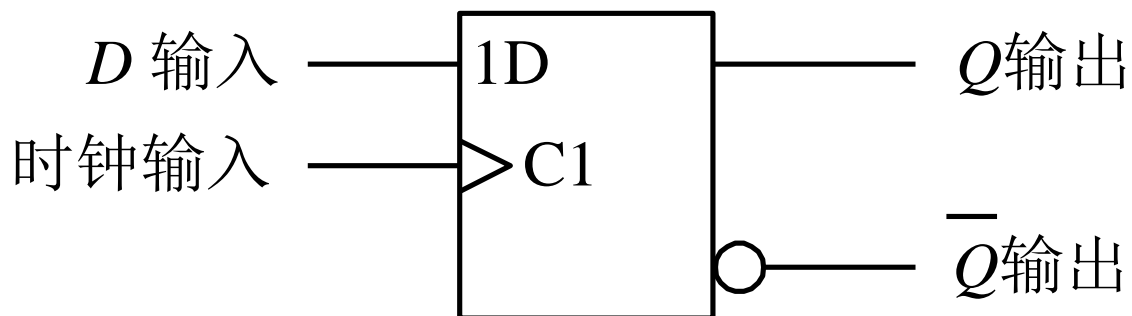
$$Q_{n+1} = J\bar{Q}_n + \bar{K}Q_n$$

$Q_n$	$Q_{n+1}$			
	$JK=00$	$JK=01$	$JK=11$	$JK=10$
0	0	0	1	1
1	1	0	0	1

# 激励表

$Q_n$	$Q_{n+1}$	$J$	$K$
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

# D触发器



真值表

$D$	$Q_{n+1}$
0	0
1	1

每个触发脉冲作用后，输出将D端输入信号保存起来。

该特性容易保存数据。

D触发器经常被用来构成数据寄存器。

状态方程

$$Q_{n+1} = D$$

试画出D触发器的电路图？

状态表

$Q_n$	$Q_{n+1}$	
	$D = 0$	$D = 1$
0	0	1
1	0	1

激励表

$Q_n$	$Q_{n+1}$	$D$
0	0	0
0	1	1
1	0	0
1	1	1

# T触发器

真值表

$T$	$Q_{n+1}$
0	$Q_n$
1	$\overline{Q_n}$

状态方程

$$Q_{n+1} = T\overline{Q_n} + \overline{T}Q_n$$

状态表

$Q_n$	$Q_{n+1}$	
	$T=0$	$T=1$
0	0	1
1	1	0

激励表

$Q_n$	$Q_{n+1}$	$T$
0	0	0
0	1	1
1	0	1
1	1	0

翻转触发器；常用来构成计数器

**T' 触发器：**在时钟脉冲作用下不断翻转。  
**T触发器的激励端永远接逻辑1，则构成T' 触发器。**

# 触发器的转换

四种触发器可以相互转换

一般情况下，触发器的转换需要增加组合电路

两种转换方法：

## 1、比较法

比较两个触发器的状态方程，找出转换关系

## 2、卡诺图法

将转换前的触发器的激励用转换后的输入以及输出表示，并利用卡诺图化简

# 比较法的例子：将 JK 触发器转换成 D 触发器

JK 触发器的状态方程：

$$Q_{n+1} = J\bar{Q}_n + \bar{K}Q_n$$

D 触发器的状态方程

$$Q_{n+1} = D$$

转换过程：

$$\begin{aligned} Q_{n+1} &= D \\ &= D(Q_n + \bar{Q}_n) \\ &= DQ_n + D\bar{Q}_n \end{aligned}$$

$$\therefore J = D, K = \bar{D}$$

+参考书p102, p103:  
例3-1和例3-2

# 卡诺图法的例子：将 RS 触发器转换为 JK 触发器

解：求转换网络，就是求

$$S = f(J, K, Q_n), \quad R = f(J, K, Q_n)$$

JK 触发器的次态卡诺图表示了 JK 的各种输入情况下的次态，RS 触发器的激励表表示了初、次态转换情况下 RS 输入的值。所以，将 RS 触发器的激励表代入 JK 触发器的次态卡诺图，可以得到从 RS 触发器转换到 JK 触发器的转换关系。

JK 触发器的次态卡诺图

		JK			
		00	01	11	10
Q <sub>n</sub>	0	0	0	1	1
	1	1	0	0	1

$$Q_{n+1} = J\bar{Q}_n + \bar{K}Q_n$$

RS 触发器的激励表

Q <sub>n</sub>	Q <sub>n+1</sub>	R	S
0	0	d	0
0	1	0	1
1	0	1	0
1	1	0	d

都是从初态0到次态0

		JK			
		00	01	11	10
Q <sub>n</sub>	0	d	d	0	0
	1	0	1	1	0

$$R = KQ_n$$

		JK			
		00	01	11	10
Q <sub>n</sub>	0	0	1	1	
	1	d	0	0	d

$$S = J\bar{Q}_n$$

转换结果



# 练习

JK转换成D触发器(卡诺图法)?

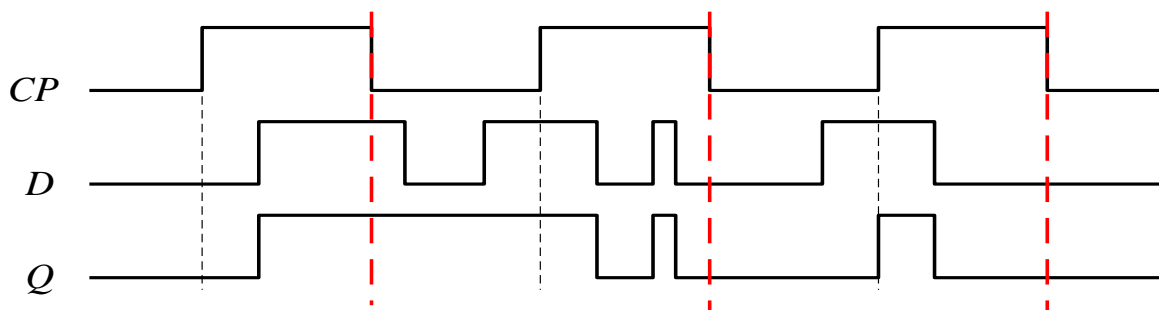
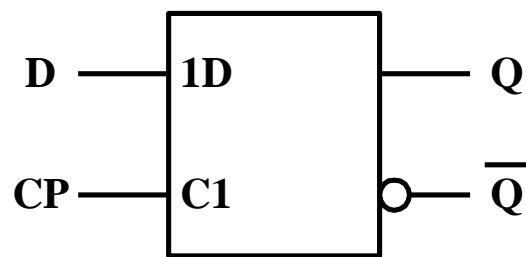
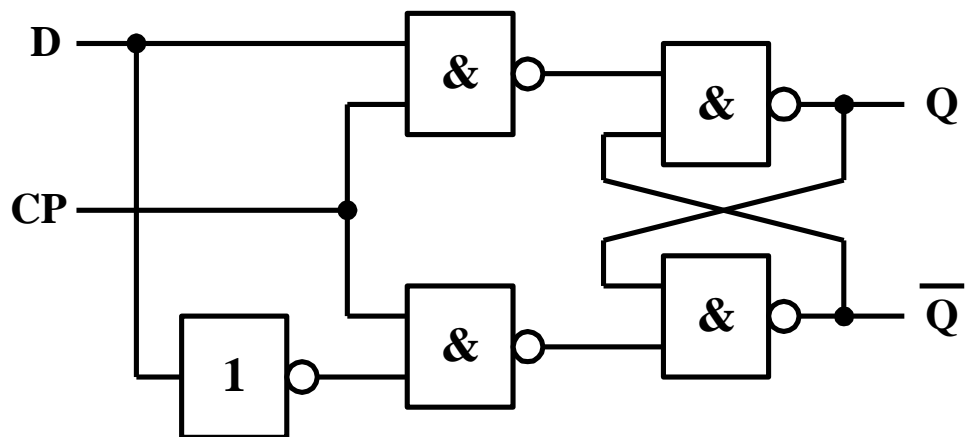
## 3.2 触发器的结构及其工作原理

- 按结构分类
  - 锁存器、主从触发器、边沿触发器
- 按输入输出关系（状态方程）分类
  - RS型、JK型、D型、T型
  - 四种类型的触发器可以相互转换
  - JK触发器和D触发器的功能最为完善。尤其是JK触发器，可以比较方便地构成其它各个类型的触发器
  - 商品集成电路触发器中较多的是JK触发器和D触发器
  - RS触发器（锁存器）作为所有触发器的基本构成部分，较多地出现在数字集成电路的内部结构中

# 锁存器

## D 锁存器

D锁存器，由RS锁存器的输入端如下图连接构成。输入端不会出现原先的S和R同时为1的情况。



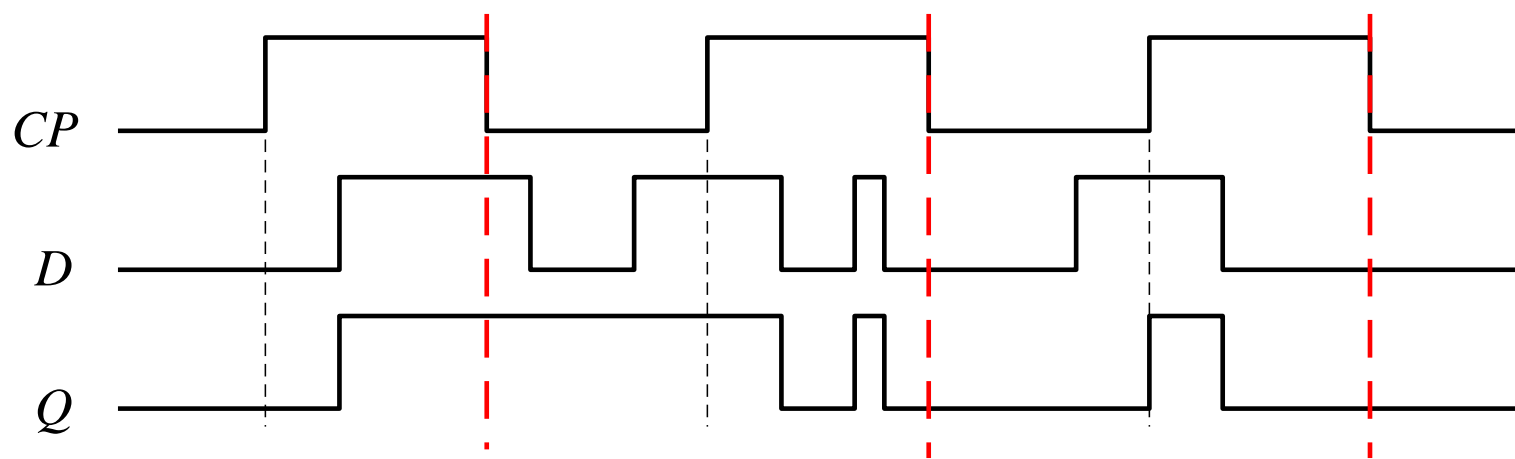
动作特点：

$CP = 1$ ，输出  $Q$  的状态随着输入  $D$  的改变而改变

$CP = 0$ ，输出  $Q$  的状态被锁存

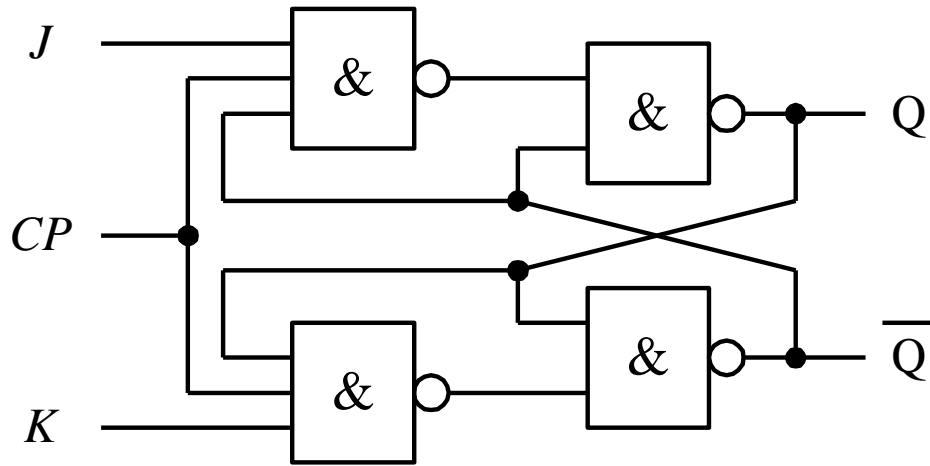
被锁存的状态是  $CP$  从 1 到 0 转变时刻的输入  $D$  的状态

由于在  $CP = 1$  时，输出和输入的关系似乎是“透明”的，所以这个锁存器也被称为透明锁存器



D 锁存器的时序图

# JK 锁存器（实际不存在）



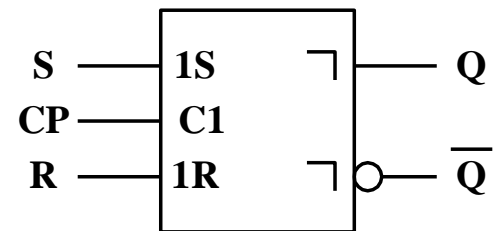
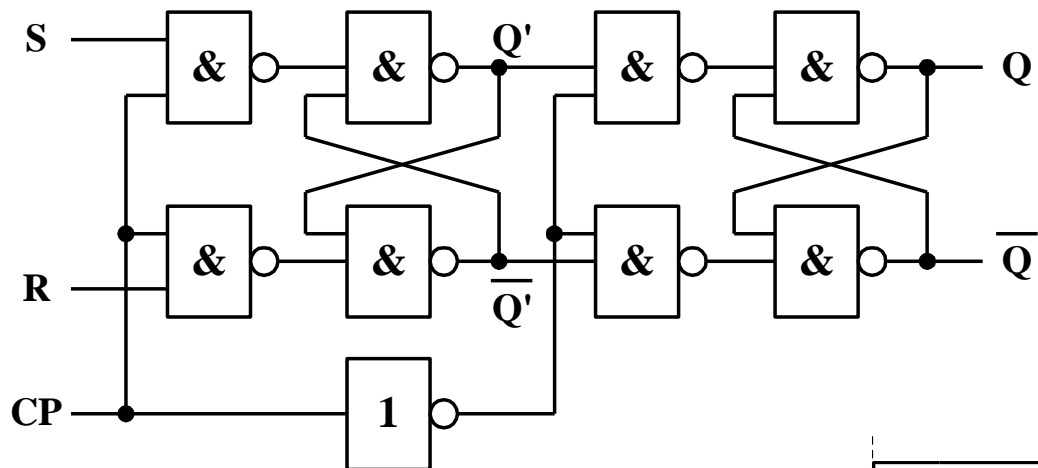
当  $JK = 11$  时，在  $CP=1$  期间，JK 锁存器将不断空翻。

能够保证触发器正常翻转的时钟脉冲的宽度应该不小于  $3t_{pd}$ 。但是，为了避免再次翻转， $CP$  脉冲的宽度又不能大于  $3t_{pd}$ 。这个条件实际上是无法实现的，所以实际电路中只有 RS 锁存器和 D 锁存器，并不存在 JK 锁存器。

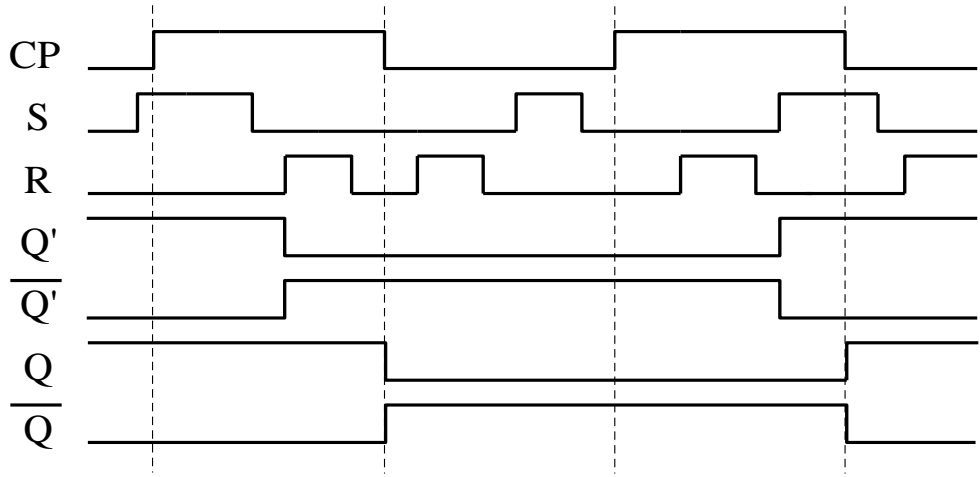
# 主从触发器

## 1、主从型RS触发器

每个cp脉冲期间，输出只变化一次，且发生在cp下降沿时刻。

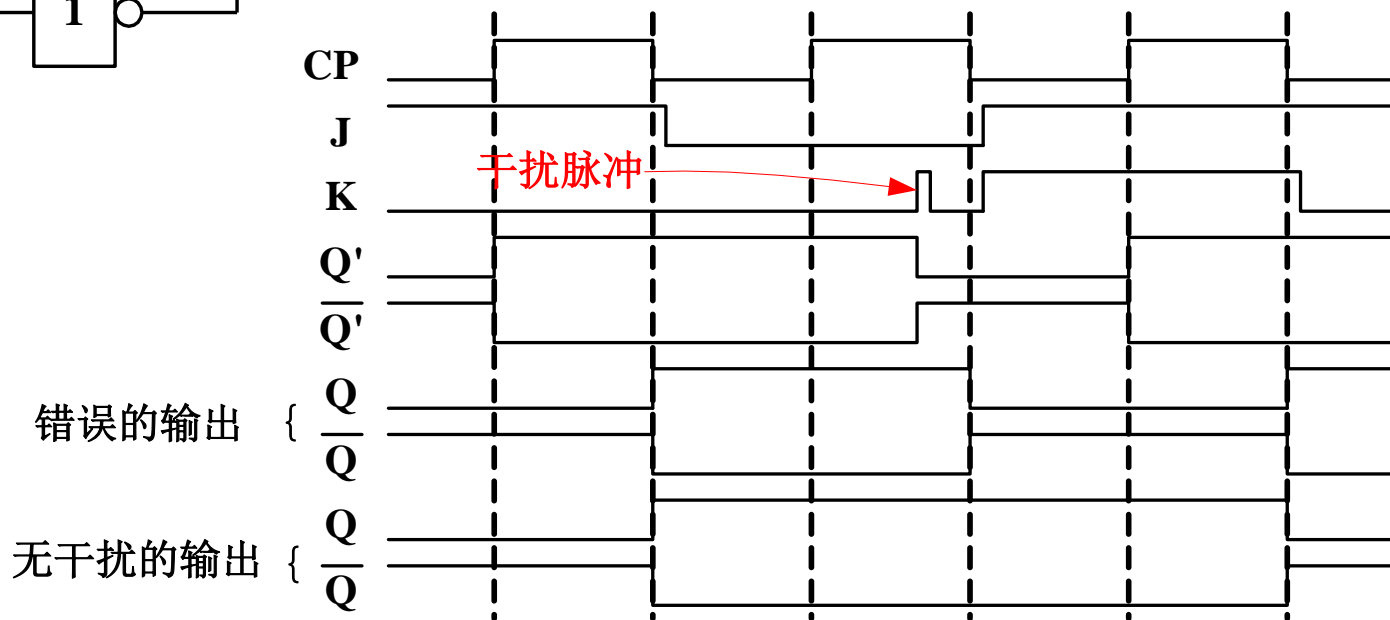
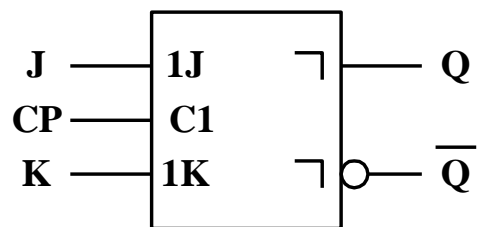
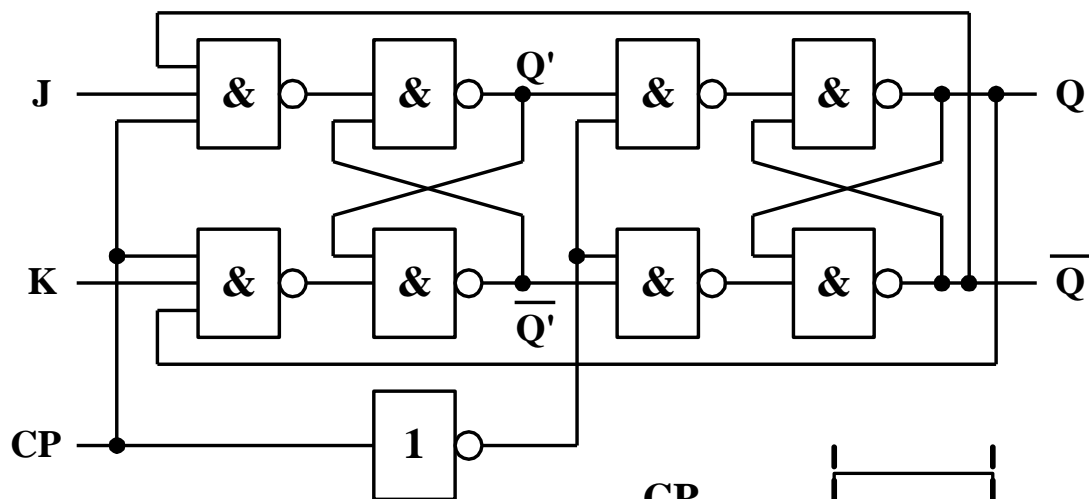


触发器的输出不完全取决于CP脉冲下降沿时刻的激励输入，而是同整个CP脉冲为逻辑1期间的激励信号状态有关。



## 2、主从型JK触发器

将主从RS触发器的输出交叉反馈到激励输入，构成主从型JK触发器。



# 主从触发器的动作特点

在  $CP=1$  期间采样，输出保持不变；

在  $CP=0$  期间输出，停止采样。

由于采样过程发生在整个  $CP=1$  期间，所以要求在此期间输入保持稳定。否则将产生错误输出。

在每个  $CP$  脉冲期间，输出只变化一次。输出的变化发生在  $CP$  脉冲的下降沿时刻。

实际上输出被延迟。



# 边沿触发器

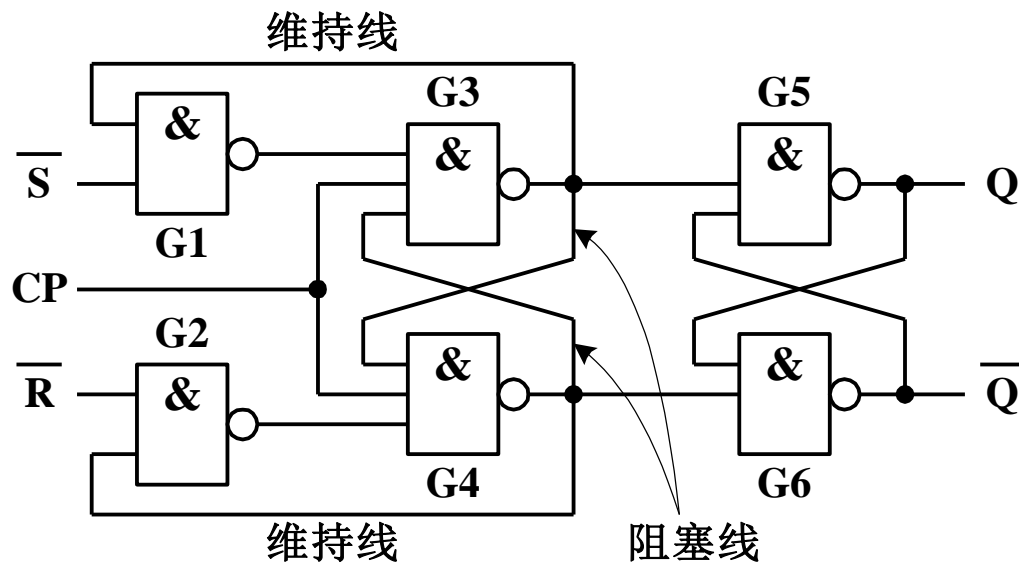
在时钟脉冲的某个边沿采样，而与时钟稳定期间（高电平和低电平）的输入变化无关

克服主从触发器的固有缺陷

可以分为3种结构

- 维持-阻塞型结构
- 门电路延时型结构
- 主从型结构

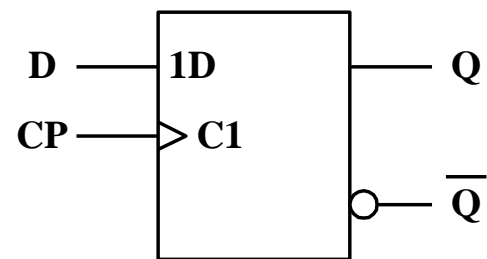
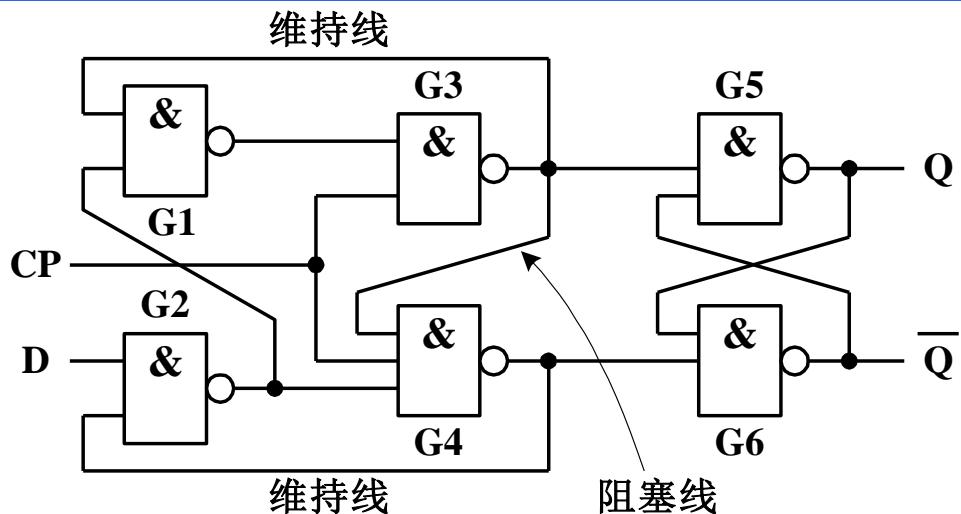
# 维持-阻塞结构的RS触发器



若在 $CP$ 脉冲上升沿前后一个很短的时间， $SR = 01$ 或 $10$ ，则触发器的输出状态按照这个激励输入而改变，并在整个 $CP$ 脉冲周期内得到保持，不会因为激励输入的改变而改变。

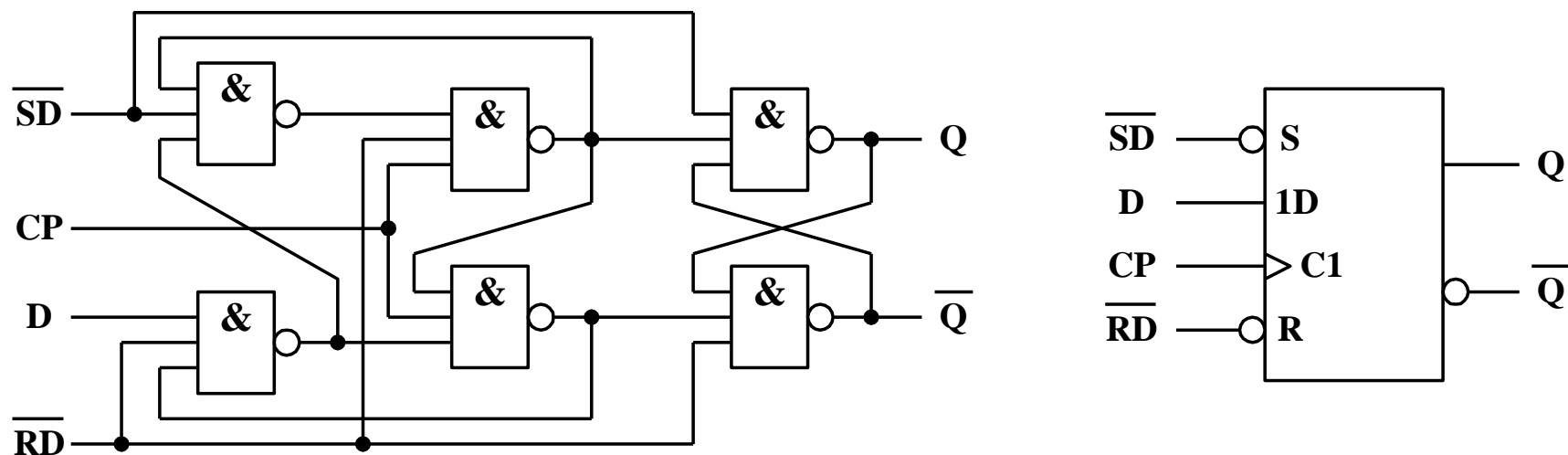
若在 $CP$ 脉冲上升沿前后一个很短的时间， $SR = 00$ 或 $11$ ，则触发器的输出状态或者可能在 $CP = 1$ 期间改变，或者不确定。

# 维持-阻塞结构的D触发器



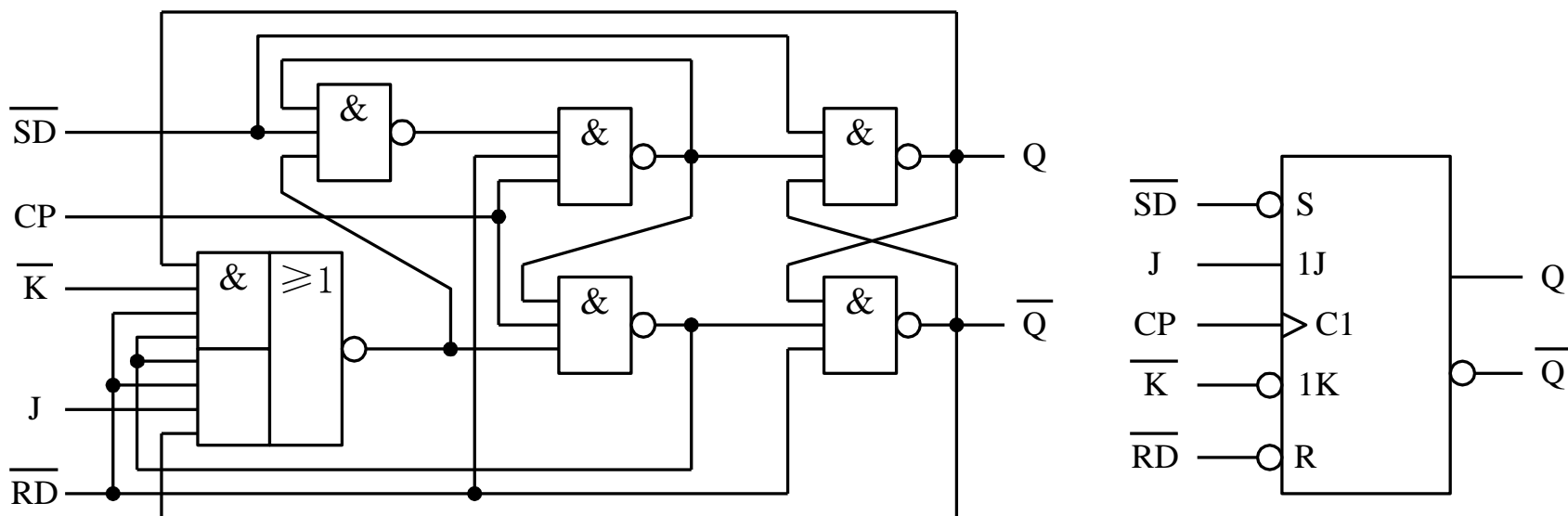
- 通过将RS触发器转换为D触发器，可以保证S和R永远互补，从而避免了RS触发器的输出不确定现象
- 由于RS总是互补，所以可以省略一根阻塞线
- 输出状态取决于CP信号上升沿前后瞬间的激励输入D的状态

# 带直接置位和直接复位的维持-阻塞型D触发器



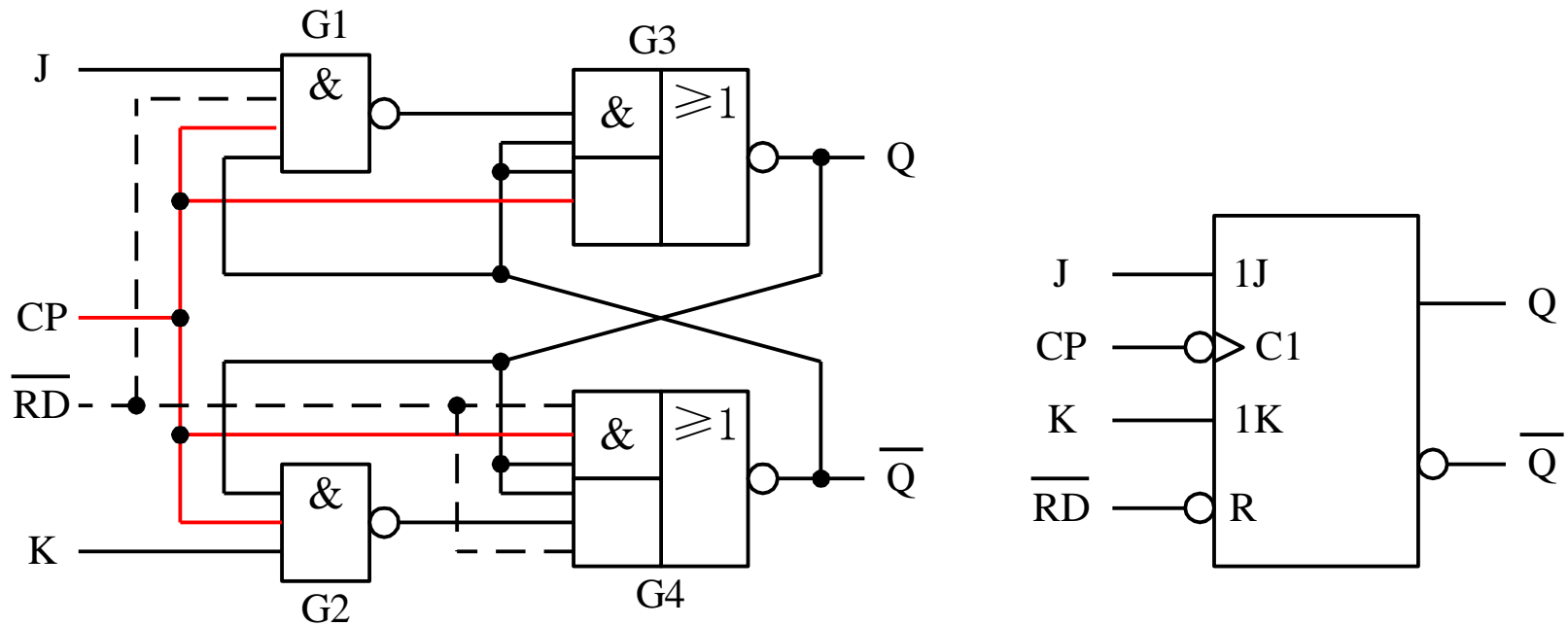
通过直接置位端  $SD$  和直接复位端  $RD$ （也称异步置位和异步复位），可以将触发器进行预置（即在整个系统开始运行之前设置触发器的初始状态）或强行复位。

# 维持-阻塞型JK触发器



维持-阻塞型的JK触发器不能直接用维持-阻塞型RS触发器转换，原因是维持-阻塞RS触发器的功能不完善。但是可以通过将D触发器转换为JK触发器的办法来构成维持-阻塞型JK触发器。

# 基于门电路的延时特性构成的边沿触发器



$CP$ 信号经过两个延时不一样的途径到达同一个门电路的输入端，该门电路的输出在输入信号的特定边沿上产生一个冒险——毛刺信号，利用这种基于门电路的延时特性的脉冲输出作为 $CP$ 的边沿检测信号，并利用这个特性构成边沿触发器。

# 主从结构的边沿触发器

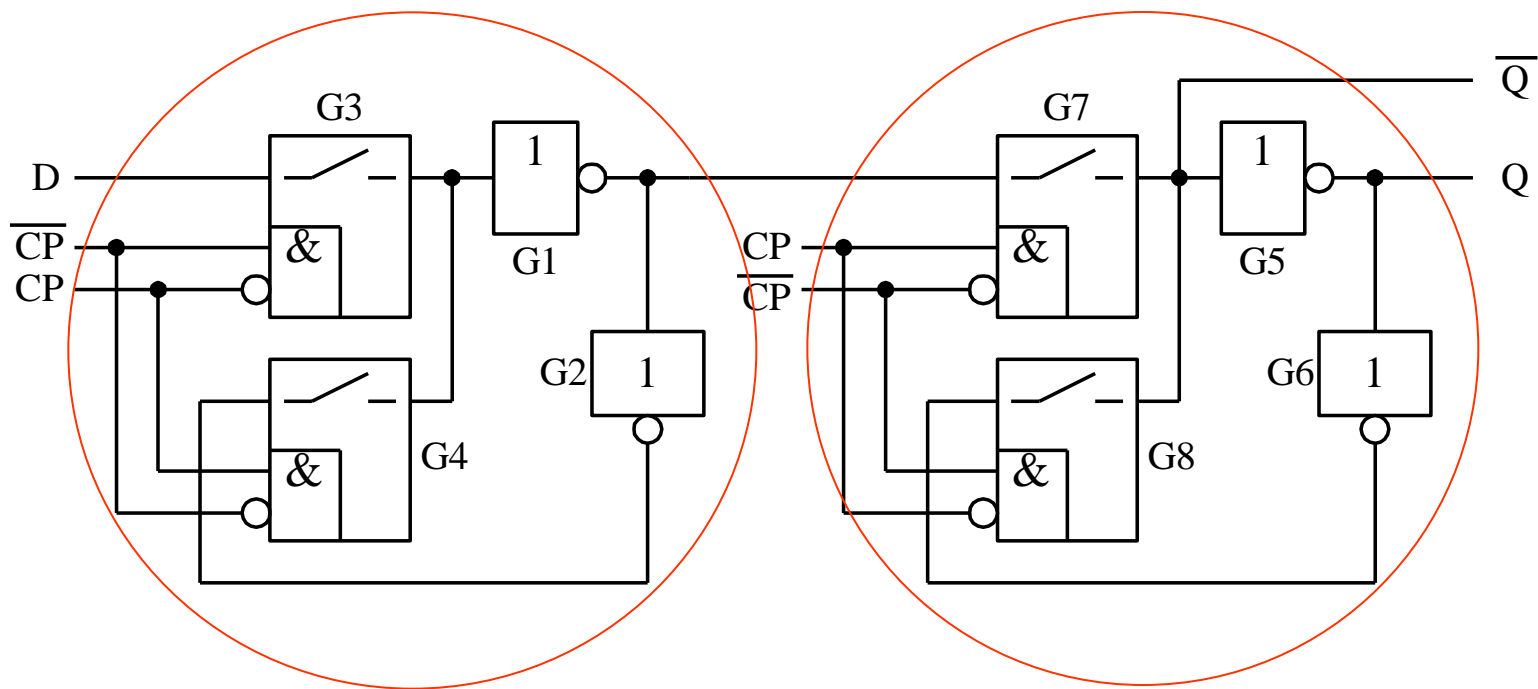
如果在主从结构的触发器中，主触发器始终“跟随”激励输入的变化，但是不记录（即不会发生触发器触发），则有以下工作过程：

一、在主触发器开通期间虽然主触发器的输出可能在变化，但由于从触发器此时封锁，不会影响触发器的最后输出。

二、在主触发器由开通向封锁转换的瞬间，主触发器可以将转换前瞬间的输出（反映了转换前瞬间的激励输入）传递给从触发器，使得从触发器的输出同转换前瞬间的输入相关。

三、在主触发器封锁期间，输入对从触发器的输出没有影响，使得从触发器的输出保持转换后的状态。

# CMOS主从结构边沿触发D触发器



主触发器

CP=0, 跟随

CP=1, 记忆

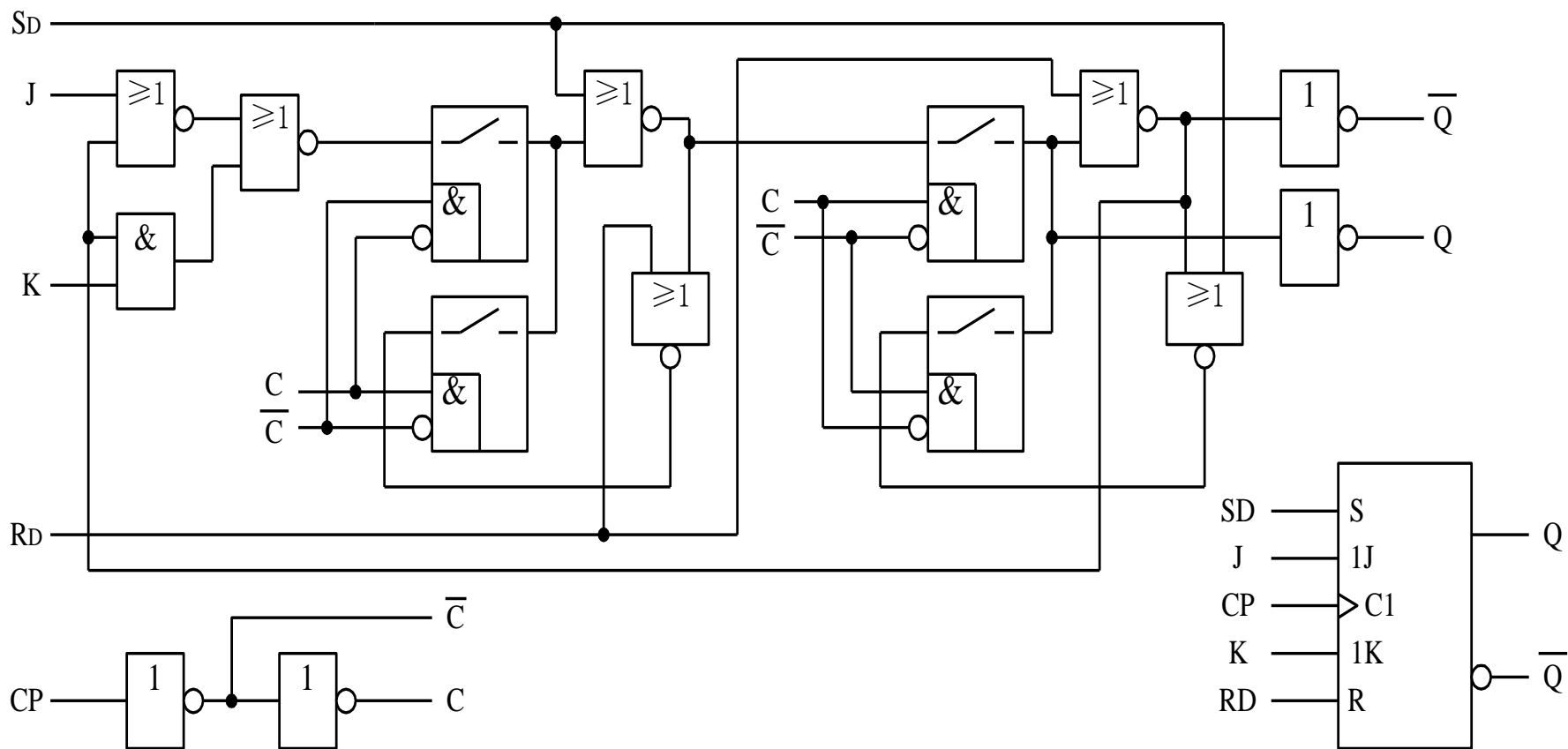
从触发器

CP=1, 跟随

CP=0, 记忆

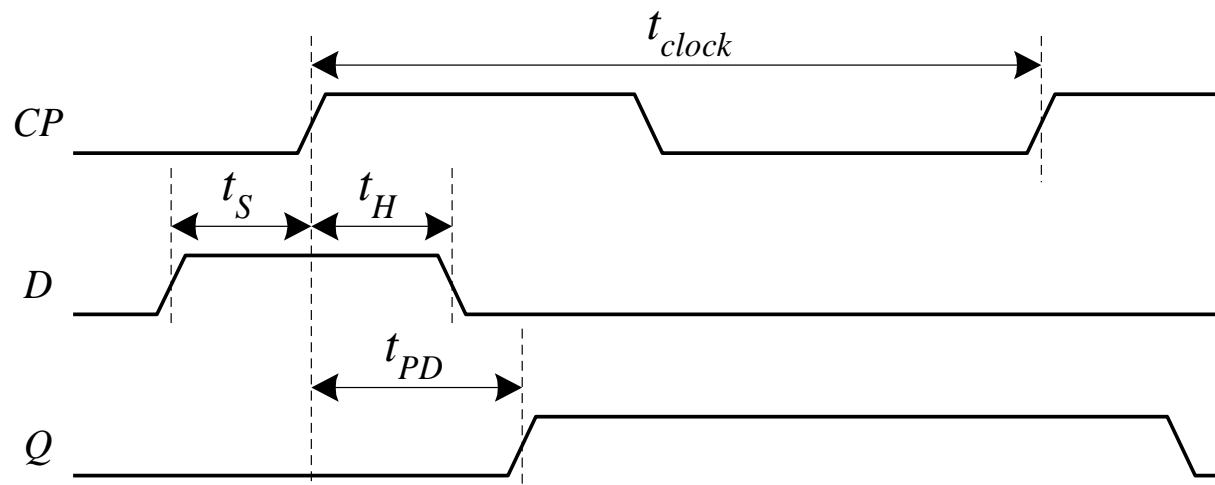


# CMOS主从结构边沿触发JK触发器



此处：该JK触发器可由D触发器转换。

# 边沿触发器的动态特性



- 时钟周期  $T_{clock}$ : 能够使触发器正常工作的时钟脉冲周期
- 时钟频率  $f_{clock}$ : 时钟周期的倒数
- 建立时间  $t_S$ : 激励输入在时钟脉冲有效边沿之前必需的稳定时间
- 保持时间  $t_H$ : 激励输入在时钟脉冲有效边沿之后必需保持稳定的时间
- 传输延迟时间  $t_{PD}$ : 从时钟脉冲有效边沿之后到触发器输出达到稳定所需要的时间

# 边沿触发器的典型动态特性参数

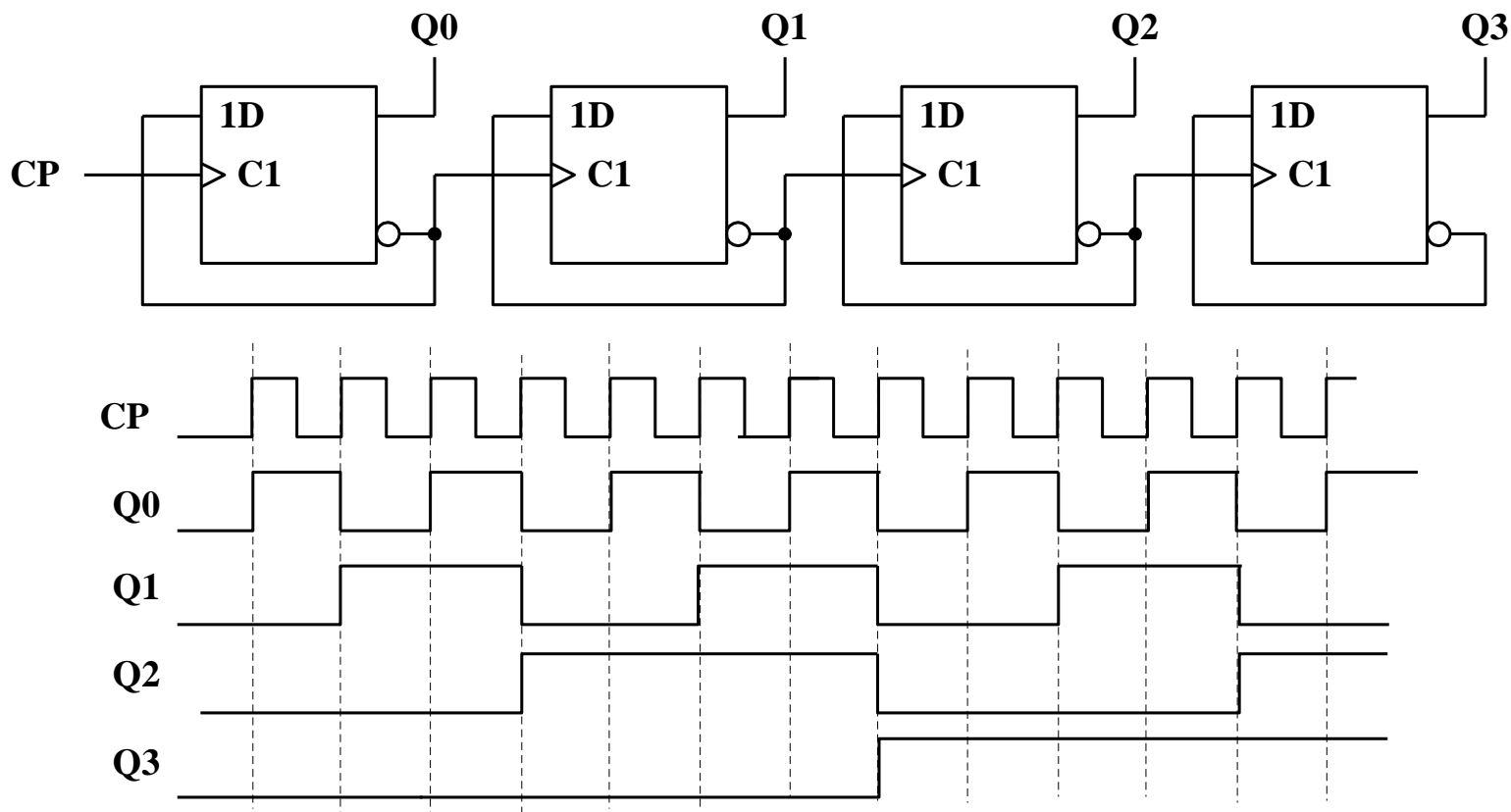
触发器结构	系列	时钟频率	建立时间	保持时间	传输延时
维持-阻塞	74	25MHz	20ns	5ns	17ns
	LS	25MHz	20ns	5ns	19ns
	S	75MHz	3ns	2ns	6ns
	F	100MHz	2ns	1ns	7ns
门电路延时	74	30MHz	20ns	0	20ns
	LS	30MHz	20ns	0	15ns
	S	80MHz	3ns	0	4.5ns
	F	110MHz	4ns	0	5ns
主从边沿	4000	4MHz	20ns	20ns	175ns
	HC	25MHz	25ns	0	44ns
	HCT	22MHz	15ns	0	35ns

## 3.3 触发器的简单应用

### 计数器

- 计数是数字电路的一个基本功能。计数器通常由一组触发器构成，该组触发器按照预先给定的顺序改变其状态。
- 同步计数器
  - 所有触发器的状态改变是在同一个时钟脉冲的同一个有效边沿上发生。
- 异步计数器
  - 计数器中的每个触发器的时钟部分或全部不同。

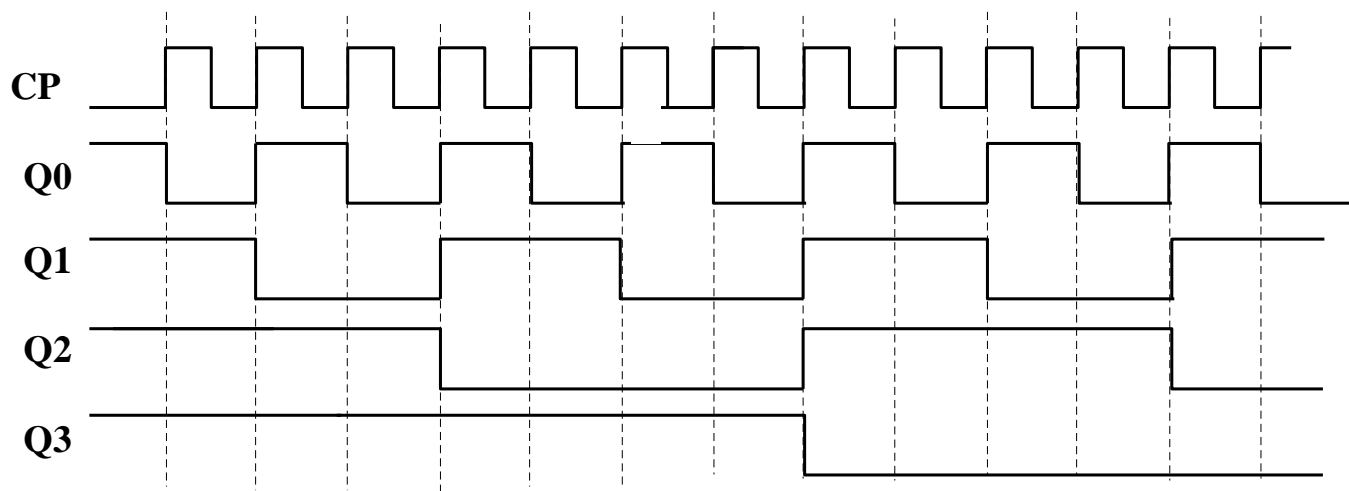
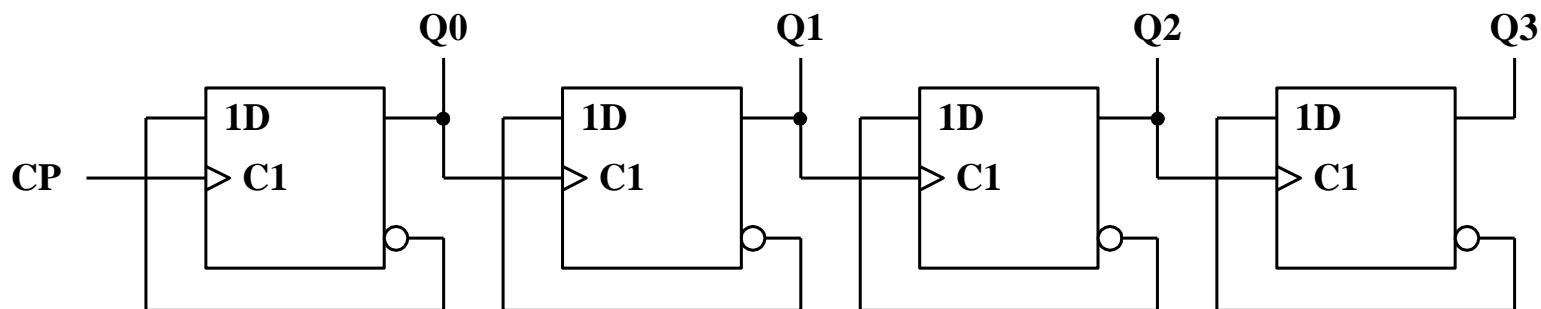
# 二进制异步加法计数器（行波计数器）



实际上由 $n$ 个T'触发器构成

试用下降沿D触发器, Q0初始态为1, 画出波形图

# 二进制异步减法计数器（行波计数器）



# 行波计数器的时钟和计数状态的关系

关于行波计数器，比较容易混淆的是加法计数与减法计数对应的时钟来源以及触发沿的组合关系。通过波形图可以很方便地确定这些问题，现将它们的组合情况列表如下：

	上升沿触发	下降沿触发
加法计数	后级时钟来自前级的 $\bar{Q}$	后级时钟来自前级的 $Q$
减法计数	后级时钟来自前级的 $Q$	后级时钟来自前级的 $\bar{Q}$

注意在应用上表的时候，所有触发器都以  $Q$  作为计数器的输出。若以触发器的  $\bar{Q}$  作为计数器的输出，则加法计数和减法计数的关系恰恰颠倒。

# 行波计数器计数过程中的不稳定暂态问题

由于二进制异步计数器的时钟信号是前后级串联的，所以到达每个触发器的时钟信号不是同时的。这也是为何将它称为异步计数器（也有将它称为行波计数器）的原因。

因为每个触发器的时钟不同步，结果造成在 $CP$ 有效边沿以后的一段时刻内计数值可能发生混乱。

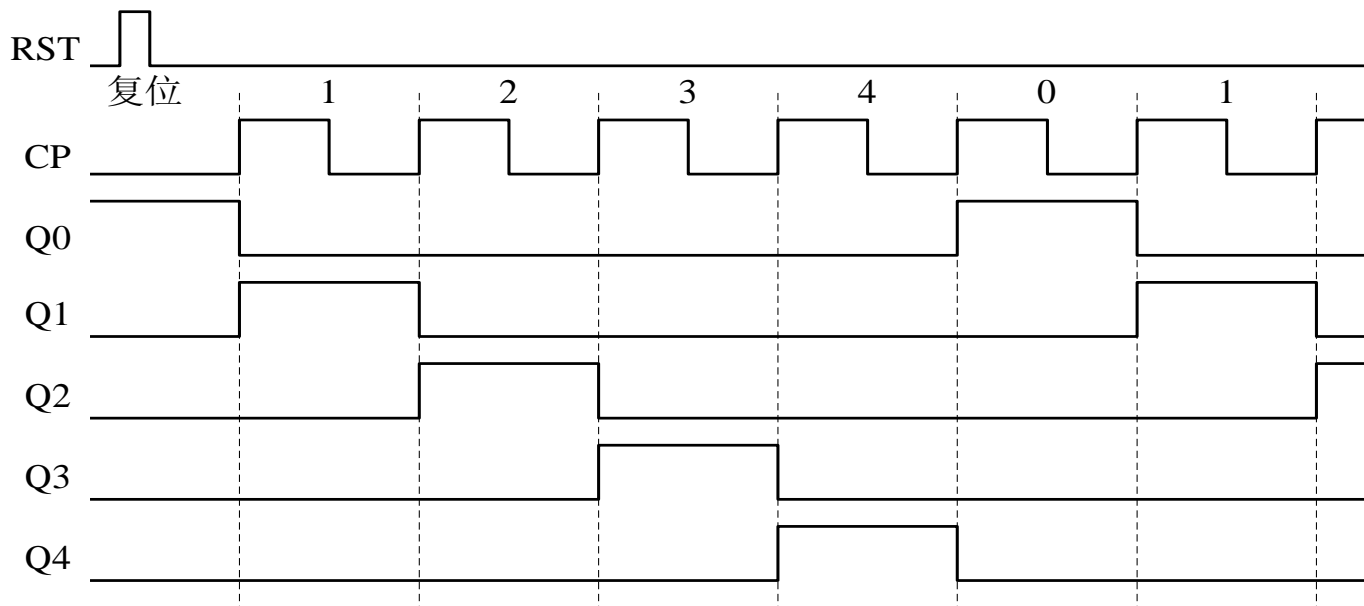
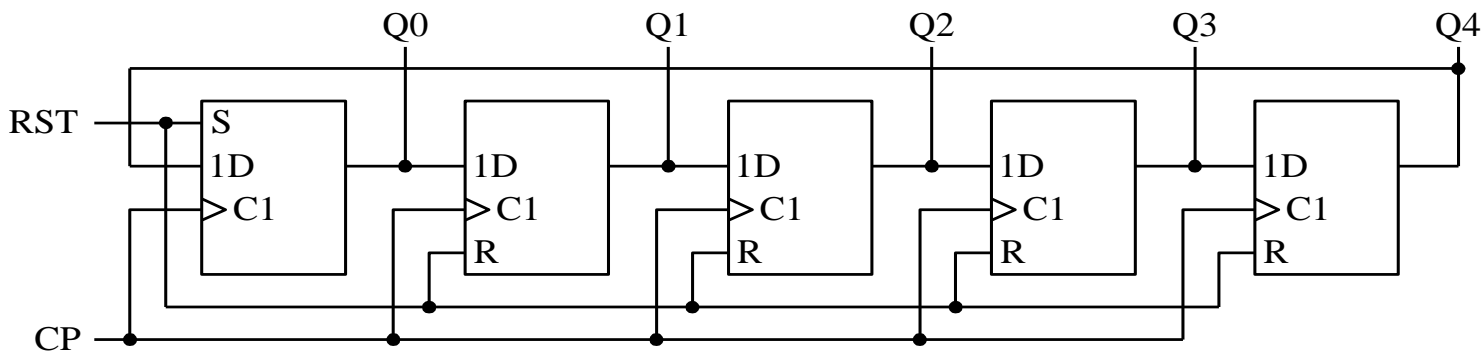
例如，计数从7到8的转换过程，实际的转换为：

0111 → 0110 → 0100 → 0000 → 1000

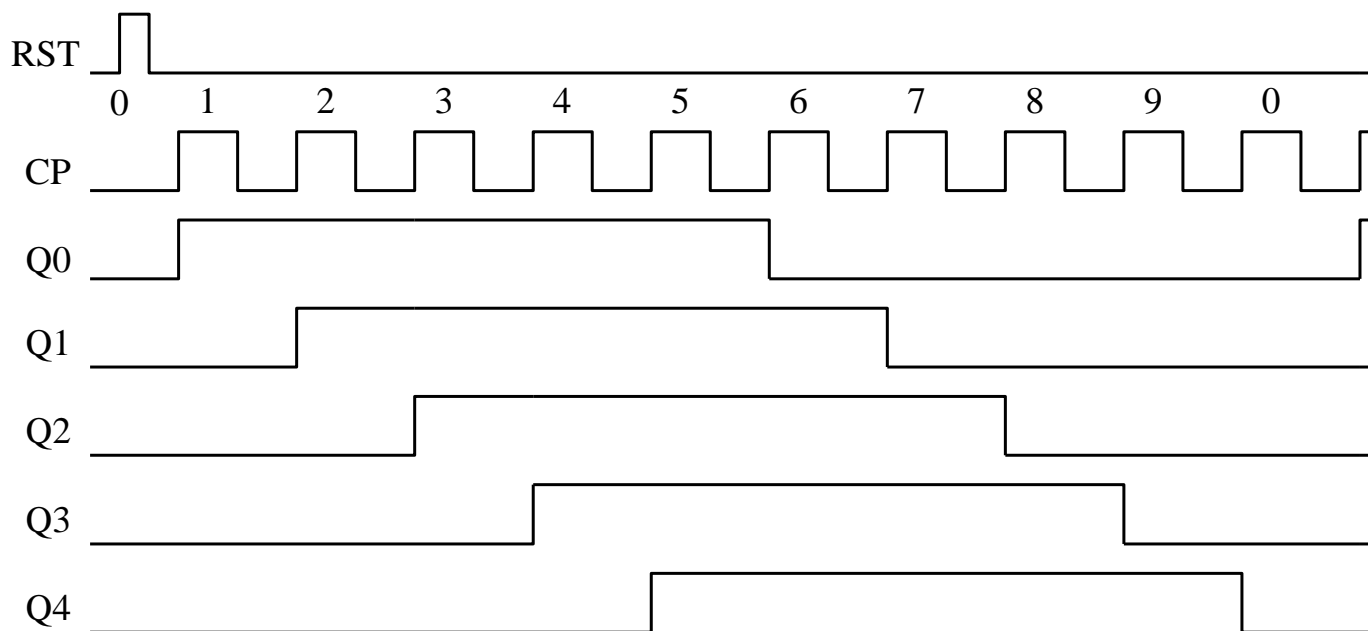
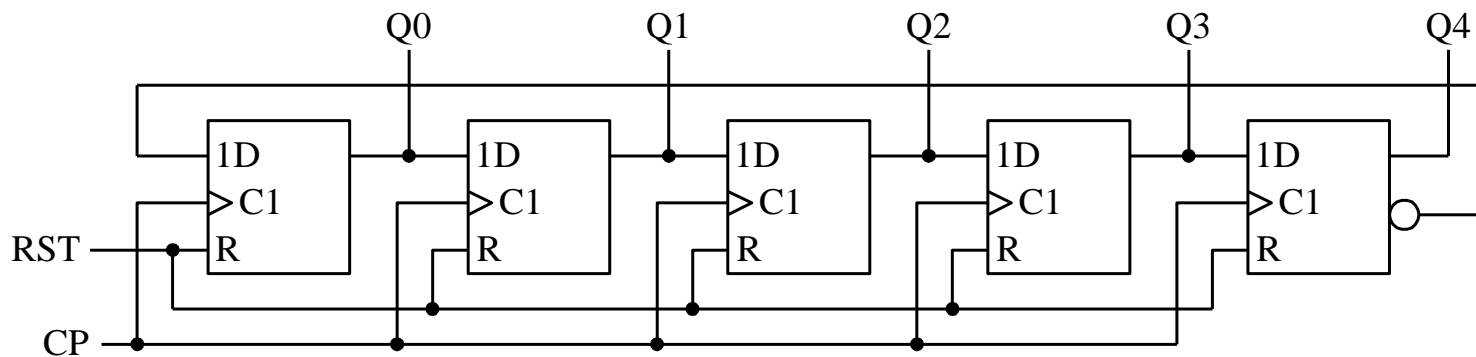
试画出上述过程的时序图



# 环型计数器



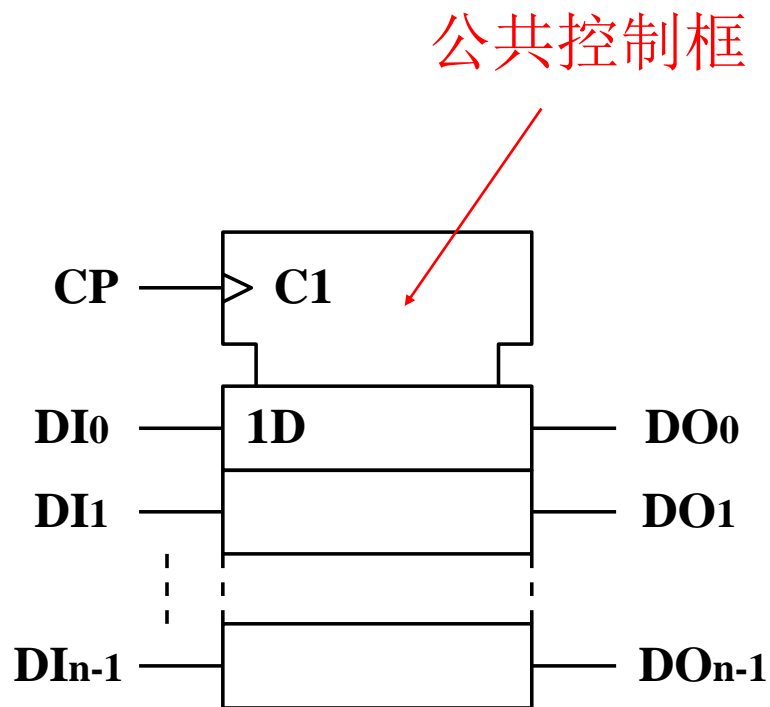
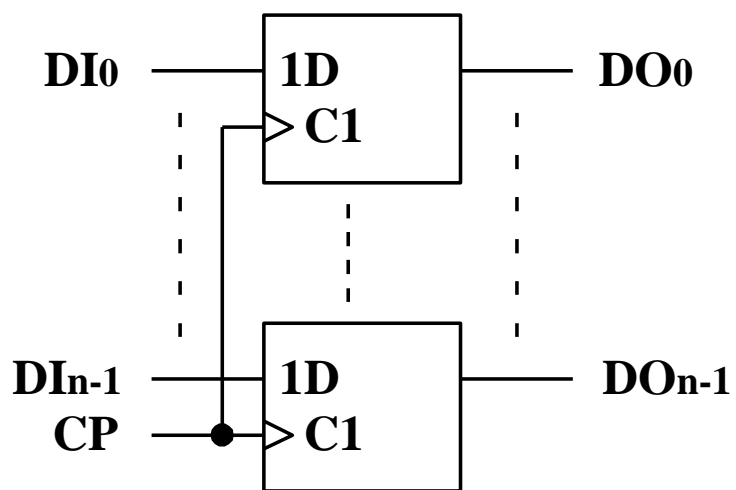
# 扭环型计数器



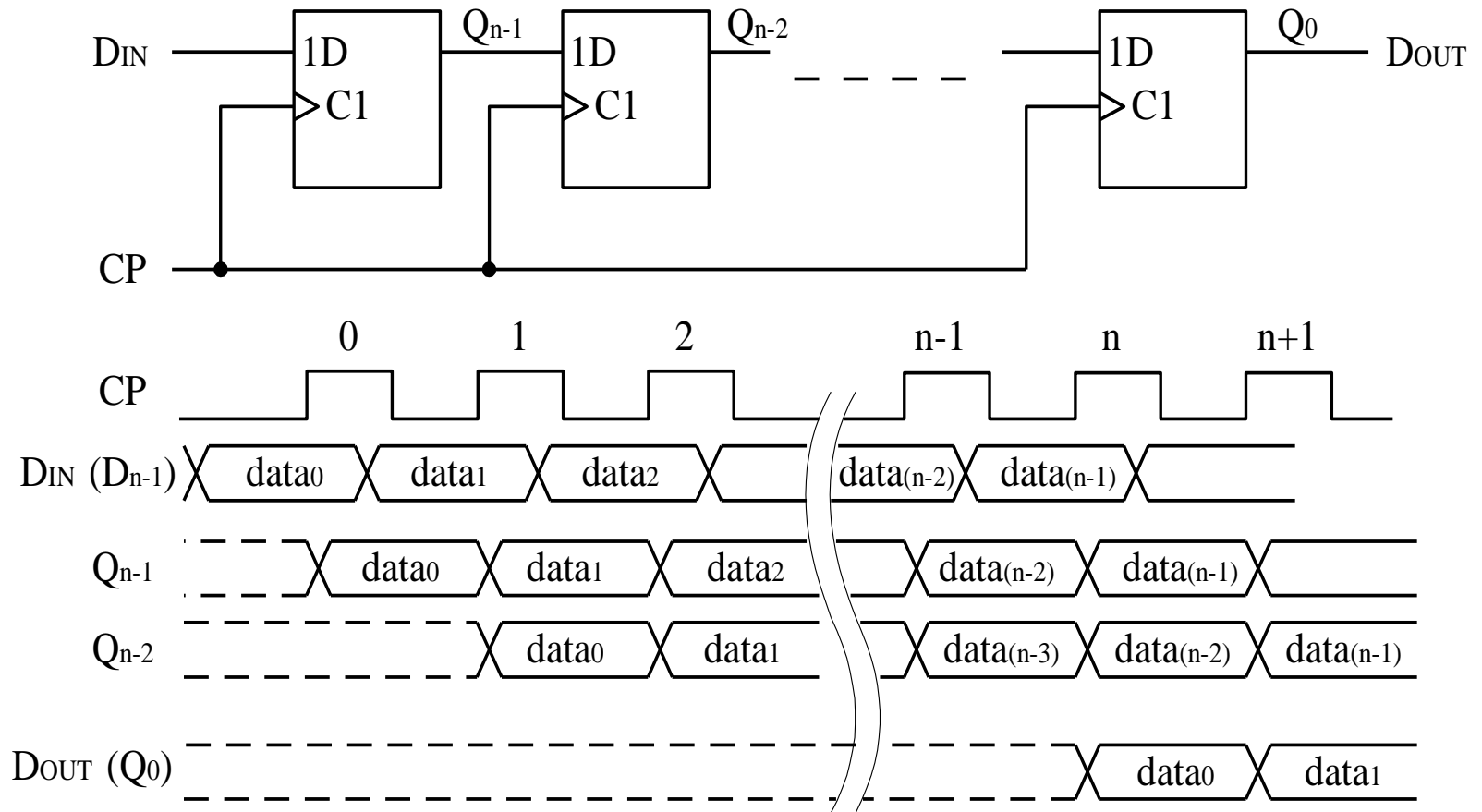
# 寄存器

- 由一组触发器构成，主要功能是存储数据
- 要存储  $n$  位二进制数，需要  $n$  个触发器
- 根据输入或输出的模式，可分为并行方式和串行方式
- 并行方式： $n$  位二进制数一次存入或读出。只需要一个时钟脉冲即可完成数据操作，但是需要  $n$  根输入和输出数据线
- 串行方式： $n$  位二进制数以每次一位、分成  $n$  次存入或读出。只需要1根输入和输出数据线，但要使用  $n$  个时钟脉冲完成输入或输出操作
- 将两种模式加以交叉，可以得到四种不同模式的寄存器：并行输入/并行输出；串行输入/串行输出；并行输入/串行输出以及串行输入/串行输出

# 并行输入/并行输出寄存器



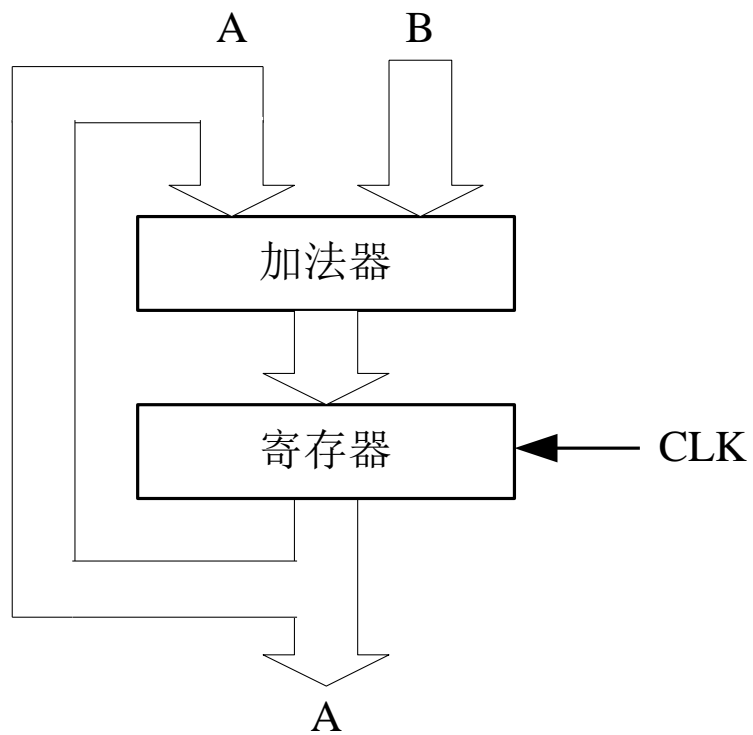
# 串行输入/串行输出寄存器（移位寄存器）



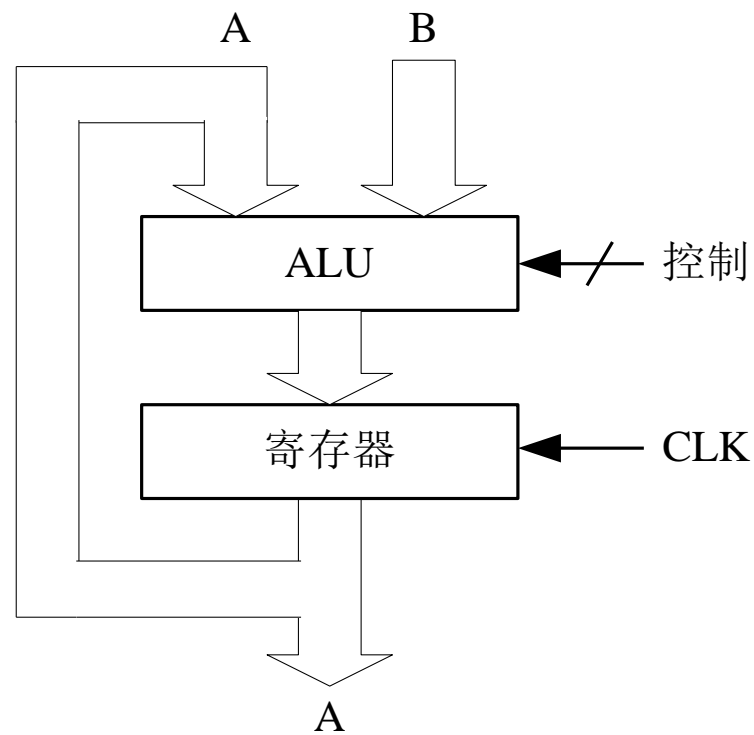
# 左移与右移

- **MSB (Most Significant Bit)** : 一个数据的最高位
- **LSB (Least Significant Bit)** : 一个数据的最低位
- **左移**: 首先移入或移出移位寄存器的是**MSB**
- **右移**: 首先移入或移出移位寄存器的是**LSB**
- 具体执行哪种操作取决于最高位位置的指定

# 累加器

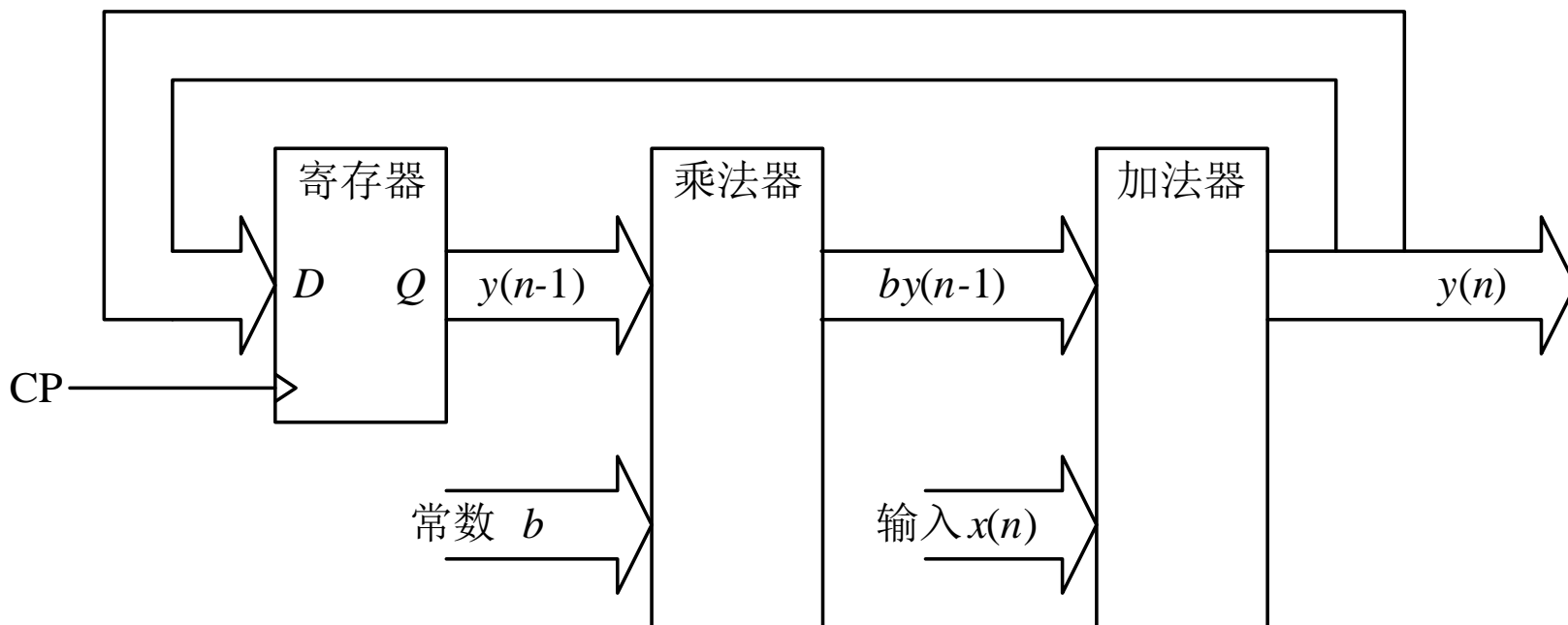
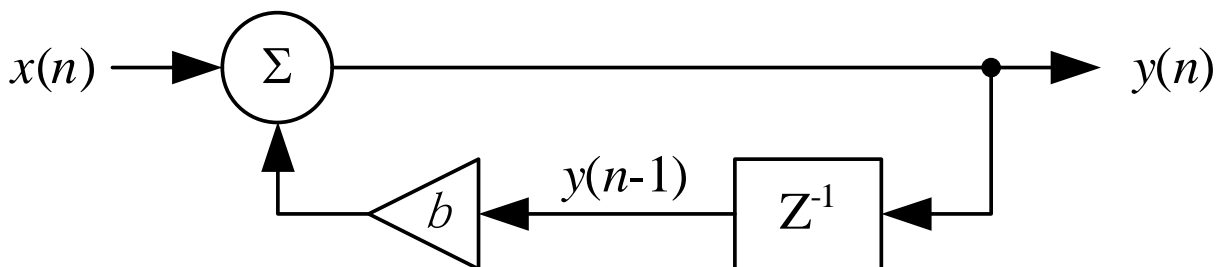


(a) 基本结构



(b) 采用ALU的结构

# 用寄存器构成延时单元

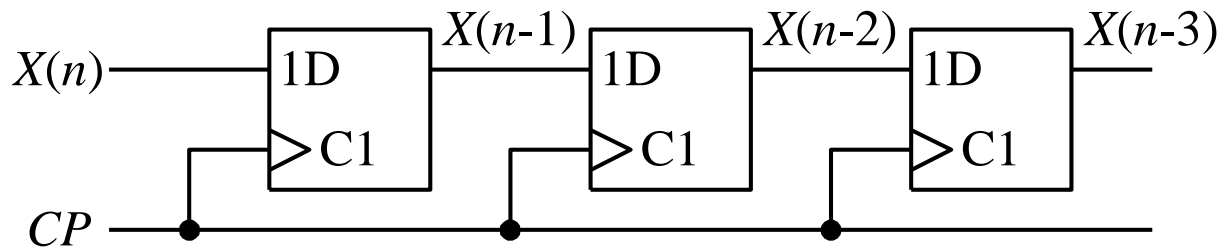


此处：触发器的作用，当前状态、下一个状态。再前一个状态呢？再加一级触发器

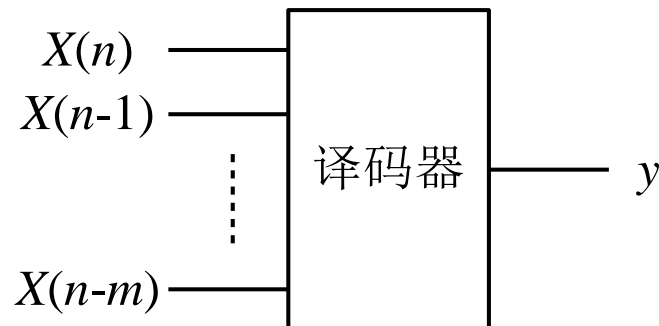


**例：**设计1位数字序列检测电路，当输入数字序列符合某个特定的序列（例如“001”）时输出1，否则输出0

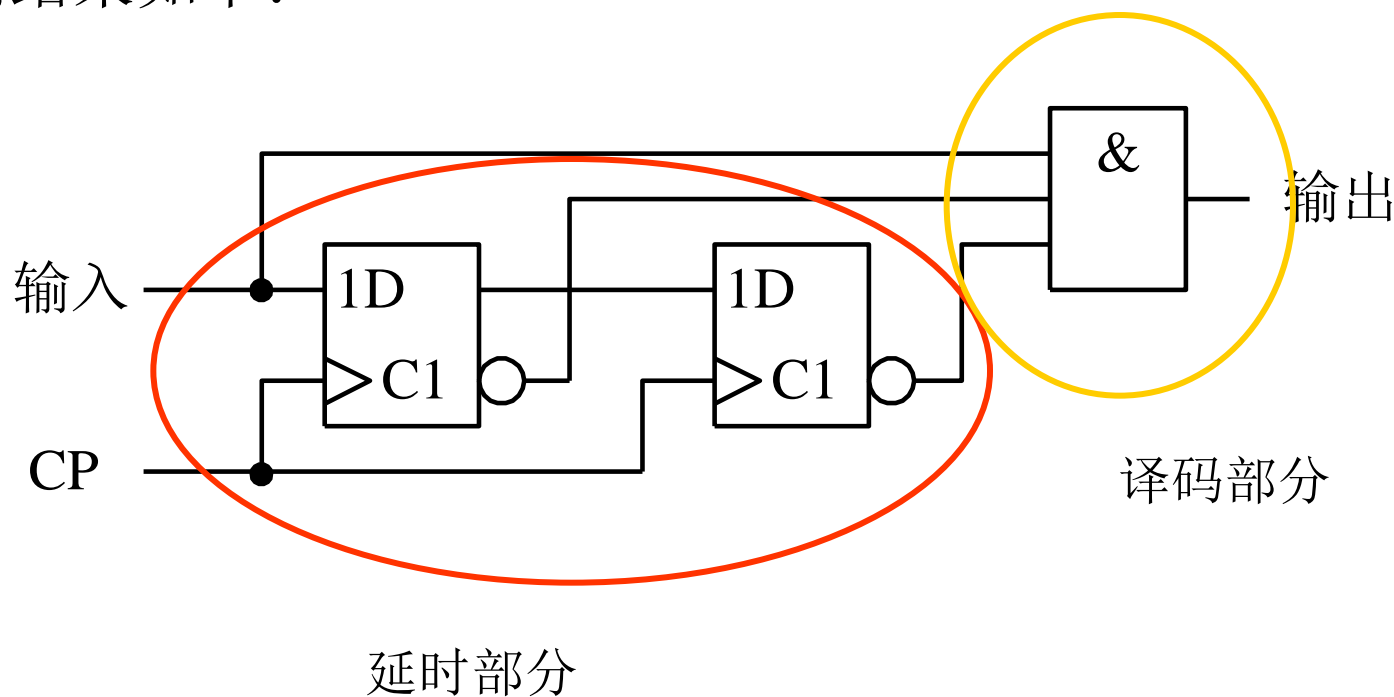
分析：1、移位寄存器具有记忆前n个输入的功能



2、可以对记忆序列译码得到输出



考虑到此例的码值很简单，可以直接用门电路构成译码器，得到结果如下：



此处是一种同步时序电路，一旦**001**出现，立刻输出结果，试画出时序图  
如果希望在下一个时钟出结果，该如何？

例3-4, P129-131

# VIP

ATL

*Video Image Processing*

*Research Group @ Fudan*

<http://soc.fudan.edu.cn/vip/>

# Thank you !