

# 一种适用于HEVC标准的去方块滤波器的硬件片上存储方法

申请号：[201310383925.4](#)

申请日：2013-08-29

申请(专利权)人 [复旦大学](#)  
地址 [200433 上海市杨浦区邯郸路220号](#)  
发明(设计)人 [范益波](#) [沈蔚炜](#) [尚青](#) [曾晓洋](#)  
主分类号 [H04N7/50\(2006.01\)I](#)  
分类号 [H04N7/50\(2006.01\)I](#) [H04N7/26\(2006.01\)I](#)  
公开(公告)号 [103442239A](#)  
公开(公告)日 [2013-12-11](#)  
专利代理机构 [上海正旦专利代理有限公司](#) [31200](#)  
代理人 [陆飞](#) [盛志范](#)



# (12) 发明专利申请

(10) 申请公布号 CN 103442239 A

(43) 申请公布日 2013. 12. 11

(21) 申请号 201310383925. 4

(22) 申请日 2013. 08. 29

(71) 申请人 复旦大学

地址 200433 上海市杨浦区邯郸路 220 号

(72) 发明人 范益波 沈蔚炜 尚青 曾晓洋

(74) 专利代理机构 上海正旦专利代理有限公司

31200

代理人 陆飞 盛志范

(51) Int. Cl.

H04N 7/50 (2006. 01)

H04N 7/26 (2006. 01)

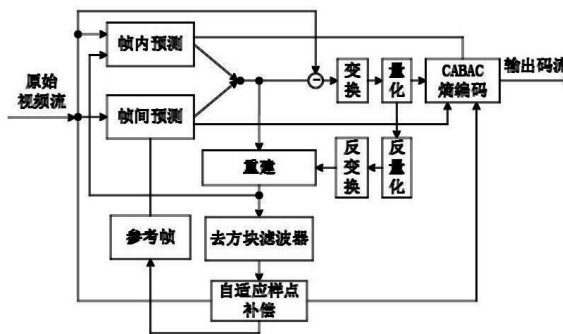
权利要求书1页 说明书4页 附图2页

## (54) 发明名称

一种适用于 HEVC 标准的去方块滤波器的硬件片上存储方法

## (57) 摘要

本发明属于高清数字视频压缩编解码技术领域,具体为一种适用于 HEVC 标准的去方块滤波器的硬件片上存储方法。在原始视频流里,每幅图像包括一个亮度分量 Y,每个亮度分量对应两个色度分量 Cb、Cr。在去方块滤波器模块中,本发明基于一个 quarter-LCU 进行处理。该模块片上存储器的存储方式为 Y 分量构成 9×9 方阵,Cb 和 Cr 分量各有 25 个像素点块,分别构成 5×5 方阵;该片上存储方式分为 5 块 SRAM:SRAM\_L1、SRAM\_L2、SRAM\_C1、SRAM\_C2 和 SRAM\_T;按一定规律分别存储 Y、Cb、Cr 的各像素点块。本发明可以有效地提高芯片处理时数据读取能力,减小处理时间,从而高效的实现高清视频的实时编码。



1. 一种适用于 HEVC 标准的去方块滤波器的硬件片上存储方法, 设在原始视频流里, 每幅图像包括一个亮度分量, 记为 Y, 每个亮度分量对应两个色度分量, 分别记为 Cb、Cr ; 在去方块滤波器模块中, 基于一个 quarter-LCU 单元进行处理, 由于该去方块滤波器模块是对于重建像素进行处理, 片上存储器存储的是重建像素点的值 ; 其特征在于 :

该去方块滤波器模块片上存储器的存储方法为 : 用如下不同的符号表示不同的像素点块, 其中 :

Y 分量共 81 个像素点块, 构成  $9 \times 9$  方阵, 其中 :

C0, C1, ……C62, C63 代表当前 Y 分量像素点块, 共 64 个, 构成一个  $8 \times 8$  方阵 ;

L0, L1, ……L6, L7 代表上述  $8 \times 8$  方阵左边一列的 Y 分量像素点块, 共 8 个 ;

T1, T2, ……T7, T8 代表上述  $8 \times 8$  方阵上面一行的 Y 分量像素点块, 共 8 个 ;

T0 代表上述  $8 \times 8$  方阵左上角的 Y 分量像素点块 ;

Cb 分量共 25 个像素点块, 构成  $5 \times 5$  方阵, 其中 :

C64, C65, ……C78, C79 代表当前 Cb 分量像素点块, 共 16 个, 构成一个  $4 \times 4$  方阵 ;

L8, L9, L10, L11 代表上述  $4 \times 4$  方阵左边一列的 Cb 分量像素点块, 共 4 个 ;

T10, T11, T12, T13 代表上述  $4 \times 4$  方阵上面一行的 Cb 分量像素点块, 共 4 个 ;

T9 代表上述  $4 \times 4$  方阵左上角的 Cb 分量像素点块 ;

Cr 分量共 25 个像素点块, 构成  $5 \times 5$  方阵, 其中 :

C80, C81, ……C94, C95 代表当前 Cr 分量像素点块, 共 16 个 ; 构成一个  $4 \times 4$  方阵 ;

L12, L13, L14, L15 代表上述  $4 \times 4$  方阵左边一列的 Cr 分量像素点块, 共 4 个 ;

T15, T16, T17, T18 代表上述  $4 \times 4$  方阵上面一行的 Cr 分量像素点块, 共 4 个 ;

T14 代表上述  $4 \times 4$  方阵左角的 Cr 分量像素点块 ;

片上存储器的存储方式一共分为 5 块 SRAM : SRAM\_L1、SRAM\_L2、SRAM\_C1、SRAM\_C2 和 SRAM\_T ; 其中 :

SRAM\_L1 中存储 L0, L2, L4, L6, L8, L10, L12, L14, 共 8 个像素点块 ;

SRAM\_L2 中存储 L1, L3, L5, L7, L9, L11, L13, L15, 共 8 个像素点块 ;

SRAM\_C1 中存储 C0, C2, C4, C6, C9, C11, C13, C15, C16, C18, C20, C22, C25, C27, C29, C31, C32, C34, C36, C38, C41, C43, C45, C47, C48, C50, C52, C54, C57, C59, C61, C63, C64, C66, C69, C71, C72, C74, C77, C79, C80, C82, C85, C87, C88, C90, C93, C95, 共 48 个像素点块 ;

SRAM\_C2 中存储 C1, C3, C5, C7, C8, C10, C12, C14, C17, C19, C21, C23, C24, C26, C28, C30, C33, C35, C37, C39, C40, C42, C44, C46, C49, C51, C53, C55, C56, C58, C60, C62, C65, C67, C68, C70, C73, C75, C76, C78, C81, C83, C84, C86, C89, C91, C92, C94, 共 48 个像素点块 ;

SRAM\_T 中 存 储 T0, T1, T2, T3, T4, T5, T6, T7, T8, T9, T10, T11, T12, T13, T14, T15, T16, T17, T18, 共 19 个像素点块。

## 一种适用于 HEVC 标准的去方块滤波器的硬件片上存储方法

### 技术领域

[0001] 本发明属于高清数字视频压缩编解码技术领域,针对 HEVC 视频编解码标准,具体涉及一种适用于 HEVC 标准的去方块滤波器的硬件片上存储方法。

### 背景技术

[0002] HEVC(High Efficiency Video Coding)是由国际电信组织(ITU)和运动图像专家组(MPEG)联合成立的组织 JCTVC 提出的下一代视频编解码标准。目标是在相同的视觉效果的前提下,相比于上一代标准 H. 264/AVC,压缩率提高一倍。

[0003] 基于 HEVC 的视频编码器,其结构图如图 1 所示,主要由以下几个模块组成:帧内预测、帧间预测、变换、量化、反量化、反变换、重建、去方块滤波器、自适应样点补偿等模块组成。视频压缩编码的基本过程可以概括如下:1. 利用帧内预测或帧间预测方式对当前原始视频流像素进行预测;2. 将原始的像素值与预测出来的像素值相减得到残差值;3. 将残差进行变换及量化处理,得到输出的残差系数再经过 CABAC(Context-based Adaptive Binary Arithmetic Coding)熵编码形成最后的压缩输出码流;4. 残差系数经过反量化及反变换处理,再与之前得到的预测像素相加得到重建像素,存储作为预测的参考帧像素。

[0004] HEVC 中的处理单元块引入了二叉树的结构,图像处理块的大小最大为  $64 \times 64$ ,它还可以继续递归地划分为  $32 \times 32$ 、 $16 \times 16$ 、 $8 \times 8$ 、 $4 \times 4$  的小块组合,并分别进行处理。编码端要对块的所有划分情况进行一次遍历,以确定哪种划分情况的处理为最佳。

[0005] 去方块滤波器模块如图 1 中所示,该模块主要判断 PU(预测单元)和 TU(变换单元)边界两边像素值的特征,对边界两边的像素点进行滤波,以消除由于块编码方式所导致的一些边框效应,使重建图像具有更好的质量和 PSNR 值(峰值信噪比)。

[0006] 而在硬件实现中,对于所需处理像素点的片上存储方式的不同,会带来不一样的处理时间和硬件资源。

### 发明内容

[0007] 本发明的目的在于提出一种可以克服现有技术不足的高效的适用于 HEVC 标准的去方块滤波器的硬件片上存储方法。

[0008] 在平常的原始视频流里,每幅图像包括一个亮度分量,记为 Y,每个亮度分量对应两个色度分量,分别记为 Cb、Cr。在去方块滤波器模块中,本发明基于一个 quarter-LCU(Y 分量为  $32 \times 32$  大小的像素点块,Cb 和 Cr 分量为  $16 \times 16$  大小的像素点块)进行处理。由于该模块是对于重建像素进行处理,所以片上存储器存储的是重建像素点的值。

[0009] 该模块片上存储器的存储方式如图 2 所示,其中,每个小方框代表一个  $4 \times 4$  大小的像素点块。用如下不同的符号表示不同的像素点块,其中:

Y 分量共 81 个像素点块,构成  $9 \times 9$  方阵:

(1) C0, C1, …… C62, C63 代表当前 Y 分量像素点块,共 64 个,构成一个  $8 \times 8$  方阵;

- (2) L0, L1, ……L6, L7 代表上述  $8 \times 8$  方阵左边一列的 Y 分量像素点块, 共 8 个;
- (3) T1, T2, ……T7, T8 代表上述  $8 \times 8$  方阵上面一行的 Y 分量像素点块, 共 8 个;
- (4) T0 代表上述  $8 \times 8$  方阵左上角的 Y 分量像素点块。

[0010] Cb 分量共 25 个像素点块, 构成  $5 \times 5$  方阵:

- (1) C64, C65, ……C78, C79 代表当前 Cb 分量像素点块, 共 16 个, 构成一个  $4 \times 4$  方阵;
- (2) L8, L9, L10, L11 代表上述  $4 \times 4$  方阵左边一列的 Cb 分量像素点块, 共 4 个;
- (3) T10, T11, T12, T13 代表上述  $4 \times 4$  方阵上面一行的 Cb 分量像素点块, 共 4 个;
- (4) T9 代表上述  $4 \times 4$  方阵左上角的 Cb 分量像素点块。

[0011] Cr 分量共 25 个像素点块, 构成  $5 \times 5$  方阵:

- (1) C80, C81, ……C94, C95 代表当前 Cr 分量像素点块, 共 16 个; 构成一个  $4 \times 4$  方阵;
- (2) L12, L13, L14, L15 代表上述  $4 \times 4$  方阵左边一列的 Cr 分量像素点块, 共 4 个;
- (3) T15, T16, T17, T18 代表上述  $4 \times 4$  方阵上面一行的 Cr 分量像素点块, 共 4 个;
- (4) T14 代表上述  $4 \times 4$  方阵左角的 Cr 分量像素点块。

[0012] 该片上存储方式一共分为 5 块 SRAM: SRAM\_L1、SRAM\_L2、SRAM\_C1、SRAM\_C2 和 SRAM\_T; 其中:

SRAM\_L1 中存储 L0, L2, L4, L6, L8, L10, L12, L14 共 8 个像素点块; 见图 2 中以 L 开头的灰色方框;

SRAM\_L2 中存储 L1, L3, L5, L7, L9, L11, L13, L15 共 8 个像素点块; 见图 2 中以 L 开头的白色  $4 \times 4$  方框;

SRAM\_C1 中存储 C0, C2, C4, C6, C9, C11, C13, C15, C16, C18, C20, C22, C25, C27, C29, C31, C32, C34, C36, C38, C41, C43, C45, C47, C48, C50, C52, C54, C57, C59, C61, C63, C64, C66, C69, C71, C72, C74, C77, C79, C80, C82, C85, C87, C88, C90, C93, C95 共 48 个像素点块; 见图 2 中以 C 开头的灰色方框;

SRAM\_C2 中存储 C1, C3, C5, C7, C8, C10, C12, C14, C17, C19, C21, C23, C24, C26, C28, C30, C33, C35, C37, C39, C40, C42, C44, C46, C49, C51, C53, C55, C56, C58, C60, C62, C65, C67, C68, C70, C73, C75, C76, C78, C81, C83, C84, C86, C89, C91, C92, C94 共 48 个像素点块; 见图 2 中以 C 开头的灰色方框;

SRAM\_T 中存储 T0, T1, T2, T3, T4, T5, T6, T7, T8, T9, T10, T11, T12, T13, T14, T15, T16, T17, T18 共 19 个像素点块; 见图 2 中以 T 开头的灰色方框。

[0013] 这种存储方式在去方块滤波器处理的时候可以高效的读取数据。

[0014] 本发明采用一种高效的适用于 HEVC 标准的编码器中 SAO 的硬件处理方法, 可以有效提高芯片处理时数据读取能力, 减小处理时间, 减小了硬件的开销。

## 附图说明

[0015] 图 1: HEVC 视频编码器结构图。

[0016] 图 2: 重建像素片上存储方式。其中, (a) 为 Y 分量的存储方式, (b) 为 Cb 分量的存储方式, (c) 为 Cr 分量的存储方式。

[0017] 图 3: 一个  $4 \times 4$  像素点块。

[0018] 图 4: 五块 SRAM 的具体组成。

## 具体实施方式

[0019] 下面通过实例并结合附图,进一步具体描述本发明方法。

[0020] 本发明基于一个 quarter-LCU (Y 分量为 32x32 大小的像素点块,Cb 和 Cr 分量为 16x16 大小的像素点块) 进行处理,由于该模块是对于重建像素进行处理,所以片上存储器存储的是重建像素点的值。

[0021] 该模块片上存储器的存储方式如图 2 所示,其中,每个小方块代表一个 4x4 大小的像素点块。每个小方块代表一个 4x4 大小的像素点块,如图 3 所示,整个方框代表一个 4x4 像素点块,其中每个圆圈代表一个像素点,并用 p<sub>0</sub>, p<sub>1</sub>, ……p<sub>14</sub>, p<sub>15</sub> 表示。其中,每个小方块代表一个 4x4 大小的像素点块。其中:

(1) 小方框 C<sub>0</sub>, C<sub>1</sub>, ……C<sub>62</sub>, C<sub>63</sub> 代表当前 quarter-LCU 的 Y 分量像素点块。

[0022] (2) 小方框 C<sub>64</sub>, C<sub>65</sub>, ……C<sub>78</sub>, C<sub>79</sub> 代表当前 quarter-LCU 的 Cb 分量像素点块。

[0023] (3) 小方框 C<sub>80</sub>, C<sub>81</sub>, ……C<sub>94</sub>, C<sub>95</sub> 代表当前 quarter-LCU 的 Cr 分量像素点块。

[0024] (4) 小方框 L<sub>0</sub>, L<sub>1</sub>, ……L<sub>6</sub>, L<sub>7</sub> 代表左边 quarter-LCU 的 Y 分量像素点块。

[0025] (5) 小方框 L<sub>8</sub>, L<sub>9</sub>, L<sub>10</sub>, L<sub>11</sub> 代表左边 quarter-LCU 的 Cb 分量像素点块。

[0026] (6) 小方框 L<sub>12</sub>, L<sub>13</sub>, L<sub>14</sub>, L<sub>15</sub> 代表左边 quarter-LCU 的 Cr 分量像素点块。

[0027] (7) 小方框 T<sub>1</sub>, T<sub>2</sub>, ……T<sub>7</sub>, T<sub>8</sub> 代表上面 quarter-LCU 的 Y 分量像素点块。

[0028] (8) 小方框 T<sub>10</sub>, T<sub>11</sub>, T<sub>12</sub>, T<sub>13</sub> 代表上面 quarter-LCU 的 Cb 分量像素点块。

[0029] (9) 小方框 T<sub>15</sub>, T<sub>16</sub>, T<sub>17</sub>, T<sub>18</sub> 代表上面 quarter-LCU 的 Cr 分量像素点块。

[0030] (10) 小方框 T<sub>0</sub> 代表左上 quarter-LCU 的 Y 分量像素点块。

[0031] (11) 小方框 T<sub>9</sub> 代表左上 quarter-LCU 的 Cb 分量像素点块。

[0032] (12) 小方框 T<sub>14</sub> 代表左上 quarter-LCU 的 Cr 分量像素点块。

[0033] 该片上存储方法一共由 5 块 SRAM 组成:SRAM\_L1、SRAM\_L2、SRAM\_C1、SRAM\_C2 和 SRAM\_T。其中:

(1) SRAM\_L1 中存储图 2 中 {L<sub>0</sub>, L<sub>2</sub>, L<sub>4</sub>, L<sub>6</sub>, L<sub>8</sub>, L<sub>10</sub>, L<sub>12</sub>, L<sub>14</sub>} 这几个 4x4 像素点块。

[0034] (2)SRAM\_L2 中存储图 2 中 {L<sub>1</sub>, L<sub>3</sub>, L<sub>5</sub>, L<sub>7</sub>, L<sub>9</sub>, L<sub>11</sub>, L<sub>13</sub>, L<sub>15</sub>} 这几个 4x4 像素点块。

[0035] (3)SRAM\_C1 中存储图 2 中 {C<sub>0</sub>, C<sub>2</sub>, C<sub>4</sub>, C<sub>6</sub>, C<sub>9</sub>, C<sub>11</sub>, C<sub>13</sub>, C<sub>15</sub>, C<sub>16</sub>, C<sub>18</sub>, C<sub>20</sub>, C<sub>22</sub>, C<sub>25</sub>, C<sub>27</sub>, C<sub>29</sub>, C<sub>31</sub>, C<sub>32</sub>, C<sub>34</sub>, C<sub>36</sub>, C<sub>38</sub>, C<sub>41</sub>, C<sub>43</sub>, C<sub>45</sub>, C<sub>47</sub>, C<sub>48</sub>, C<sub>50</sub>, C<sub>52</sub>, C<sub>54</sub>, C<sub>57</sub>, C<sub>59</sub>, C<sub>61</sub>, C<sub>63</sub>, C<sub>64</sub>, C<sub>66</sub>, C<sub>69</sub>, C<sub>71</sub>, C<sub>72</sub>, C<sub>74</sub>, C<sub>77</sub>, C<sub>79</sub>, C<sub>80</sub>, C<sub>82</sub>, C<sub>85</sub>, C<sub>87</sub>, C<sub>88</sub>, C<sub>90</sub>, C<sub>93</sub>, C<sub>95</sub>} 这几个 4x4 像素点块。

[0036] (4)SRAM\_C2 中存储图 2 中 {C<sub>1</sub>, C<sub>3</sub>, C<sub>5</sub>, C<sub>7</sub>, C<sub>8</sub>, C<sub>10</sub>, C<sub>12</sub>, C<sub>14</sub>, C<sub>17</sub>, C<sub>19</sub>, C<sub>21</sub>, C<sub>23</sub>, C<sub>24</sub>, C<sub>26</sub>, C<sub>28</sub>, C<sub>30</sub>, C<sub>33</sub>, C<sub>35</sub>, C<sub>37</sub>, C<sub>39</sub>, C<sub>40</sub>, C<sub>42</sub>, C<sub>44</sub>, C<sub>46</sub>, C<sub>49</sub>, C<sub>51</sub>, C<sub>53</sub>, C<sub>55</sub>, C<sub>56</sub>, C<sub>58</sub>, C<sub>60</sub>, C<sub>62</sub>, C<sub>65</sub>, C<sub>67</sub>, C<sub>68</sub>, C<sub>70</sub>, C<sub>73</sub>, C<sub>75</sub>, C<sub>76</sub>, C<sub>78</sub>, C<sub>81</sub>, C<sub>83</sub>, C<sub>84</sub>, C<sub>86</sub>, C<sub>89</sub>, C<sub>91</sub>, C<sub>92</sub>, C<sub>94</sub>} 这几个 4x4 像素点块。

[0037] (5) SRAM\_T 中存储图 2 中 {T<sub>0</sub>, T<sub>1</sub>, T<sub>2</sub>, T<sub>3</sub>, T<sub>4</sub>, T<sub>5</sub>, T<sub>6</sub>, T<sub>7</sub>, T<sub>8</sub>, T<sub>9</sub>, T<sub>10</sub>, T<sub>11</sub>, T<sub>12</sub>, T<sub>13</sub>, T<sub>14</sub>, T<sub>15</sub>, T<sub>16</sub>, T<sub>17</sub>, T<sub>18</sub>} 这几个 4x4 像素点块。

[0038] 根据上述方式,其具体在 SRAM 中的存储顺序如图 4 所示,每个 SRAM 里面的基本单元存储一个 4x4 块像素点的数据。由于每个像素点的值为 8 比特,而 SRAM 中一个基本单元存储一个 4x4 块像素点的数据,所以本发明中 SRAM 中一个基本单元为 128bit,以 {p<sub>0</sub>, p<sub>1</sub>, p

2, p3, p4, p5, p6, p7, p8, p9, p10, p11, p12, p13, p14, p15}, 这种 p0 像素点在最高位, p15 在低位的方式存储。

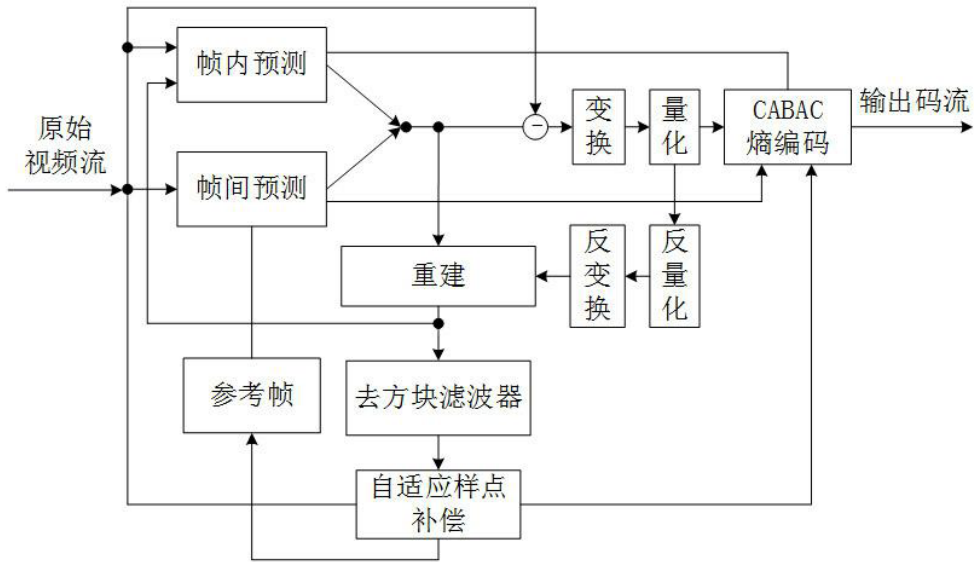


图 1

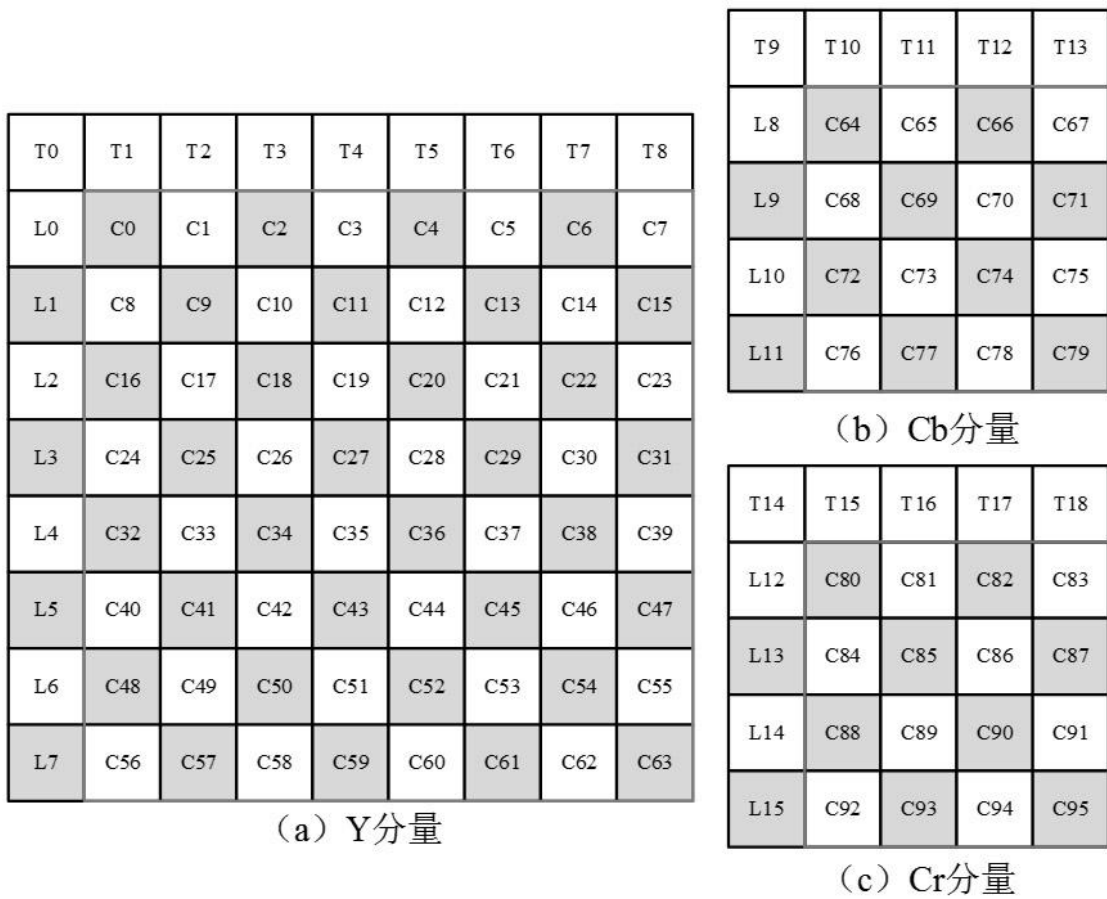


图 2



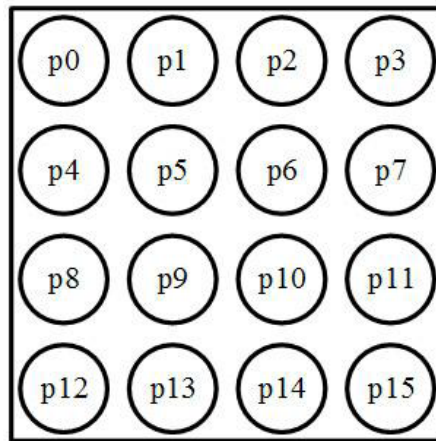


图 3

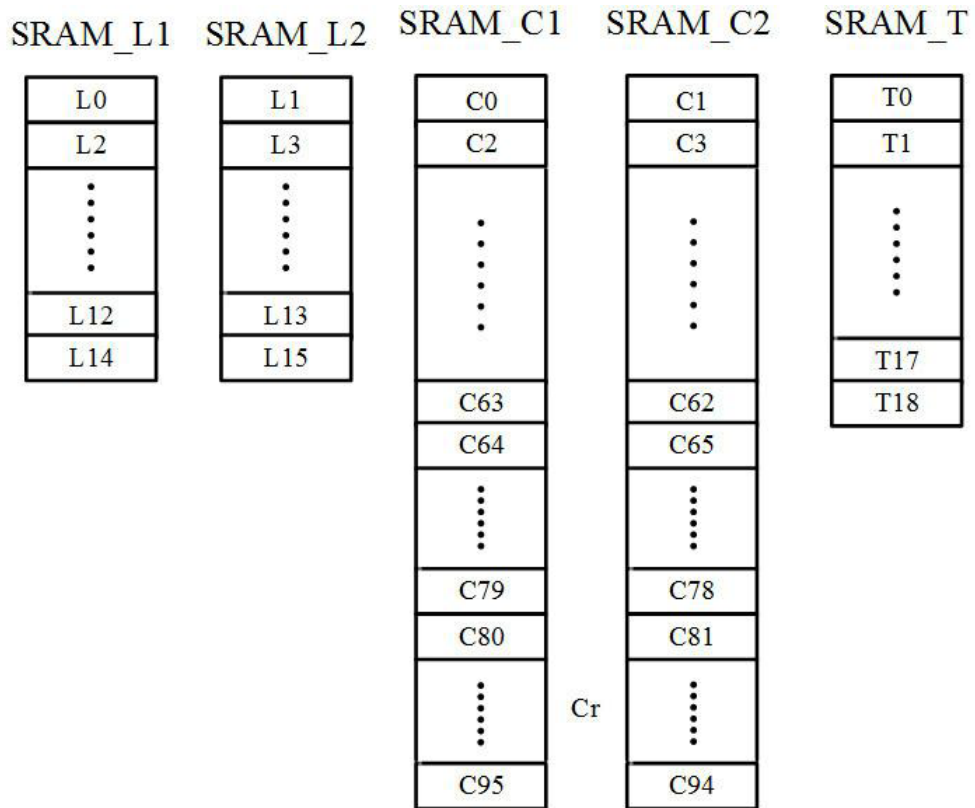


图 4