

第6章

异步时序电路

Video Image Processing (VIP)
Research Group @ Fudan
<http://soc.fudan.edu.cn/vip/>

范益波

2013.9

本章内容

- 异步时序电路如何表达状态？
- 异步时序电路与同步时序电路的差别仅仅是clock不同么？
- 什么叫临界竞争、非临界竞争？
- 如何“约束”异步电路？
- 你愿意选用异步时序电路来做你的设计么？

本章要求

- 掌握异步时序电路工作原理
- 掌握异步时序电路竞争冒险分析
- 掌握电路设计方法

异步时序电路的分类

基本型异步时序电路

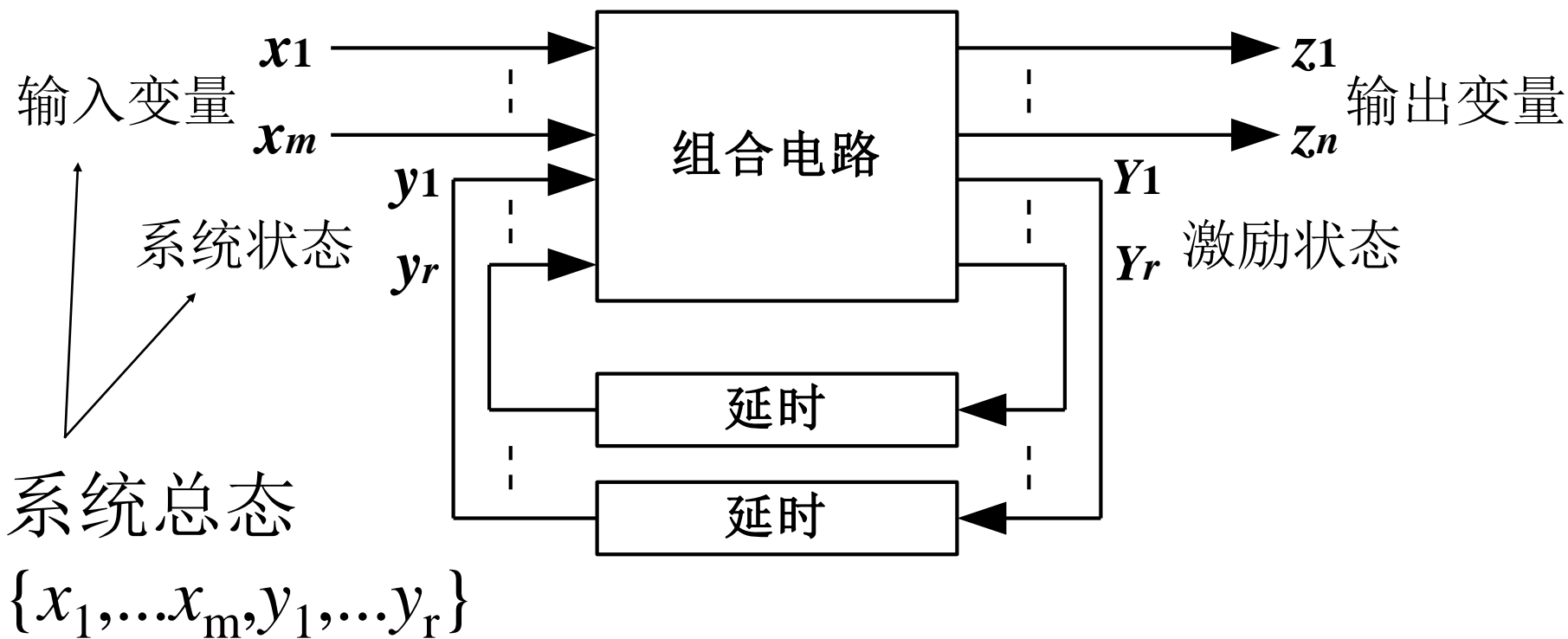
没有触发器，依靠电路反馈记忆状态，输入信号为电平型信号

脉冲型异步时序电路

依靠触发器记忆状态，输入为脉冲信号（时钟信号），但是没有统一的时钟，并且将时钟作为显式的输入对待

5.1 基本型异步时序电路分析

基本型异步时序电路的模型



基本型异步时序逻辑模型的描述

$$Y = f_1(x, y)$$

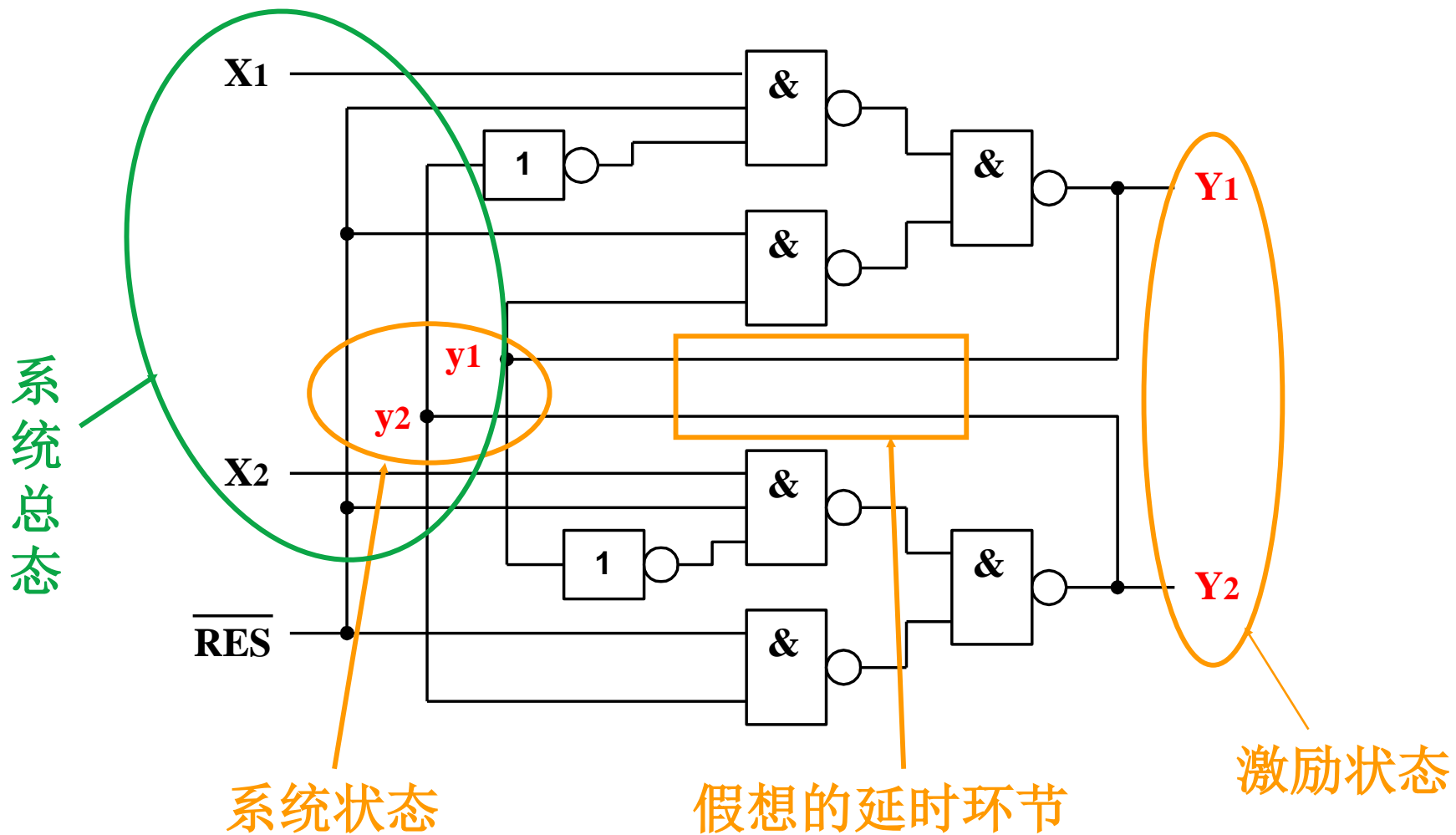
$$z = f_2(x, y)$$

$$y(t + \Delta t) = Y(t)$$

基本型异步时序电路的稳定条件是 $y = Y$ 。换句话说，在系统达到稳定以后， Y 和 y 总是相同的。

正因为如此，在基本型异步时序电路中不能将 y 和 Y 分别看作现态和次态。

基本型异步时序电路分析的例子 (例5-1, p207)



假想的延时环节具体是什么？线路延迟。

$\overline{RES} = 1$ 时的激励函数和系统流程表

$$Y_1 = x_1 \overline{y_2} + y_1$$

$$Y_2 = x_2 \overline{y_1} + y_2$$

非稳定状态

Y与y不同

稳定状态

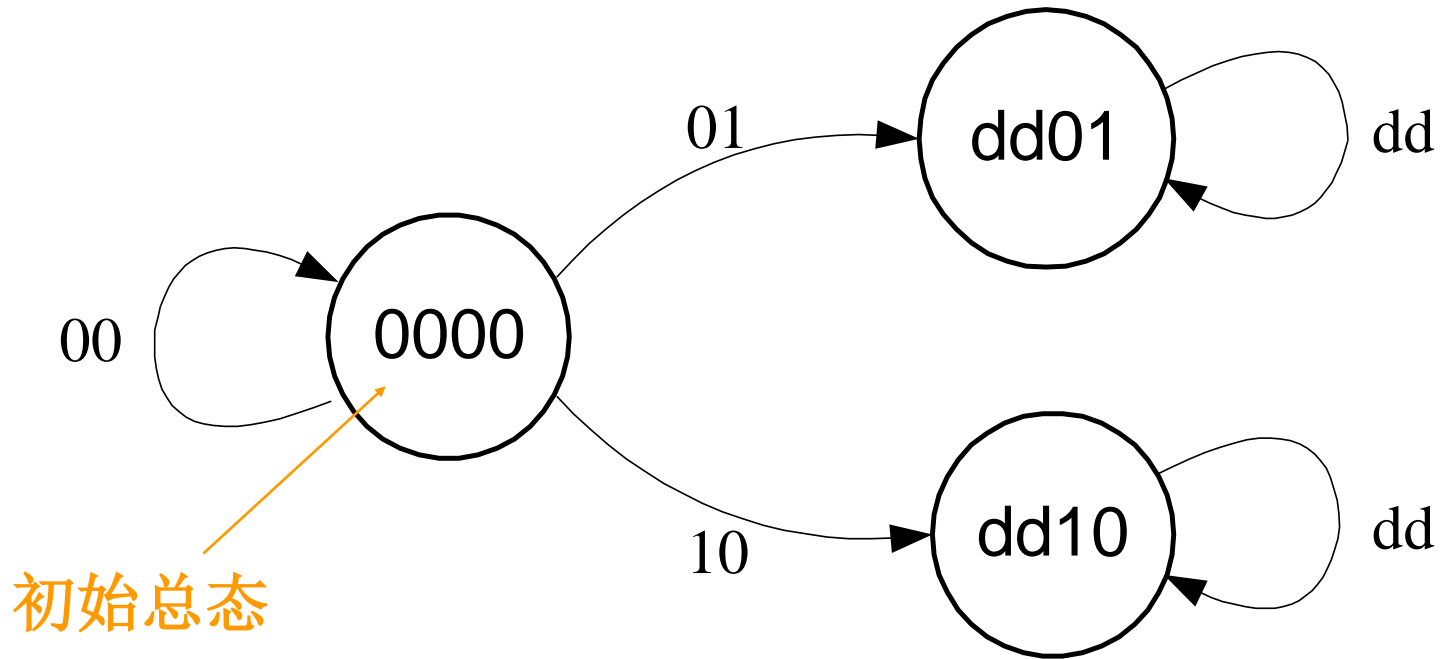
Y与y相同

$y_1 y_2$	$Y_1 Y_2$			
	$x_1 x_2 = 00$	$x_1 x_2 = 01$	$x_1 x_2 = 10$	$x_1 x_2 = 11$
00	00	01	10	11
01	01	01	01	01
10	10	10	10	10
11	11	11	11	11

状态转换过程

状态指的什么东西? $x_1 x_2 y_1 y_2$

状态转换图



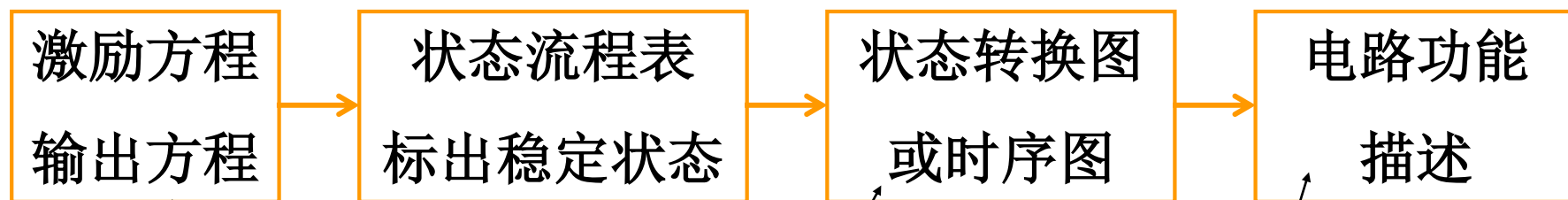
功能：类似抢答器

基本型异步时序电路状态转换的特点

假定所有输入中每次只有一个输入发生改变，所以没有类似00→11的状态转换。

输入改变以后，到达的总态如果是不稳定总态，则状态转换过程将继续进行，直到到达稳定总态。

基本型异步时序电路分析的一般过程



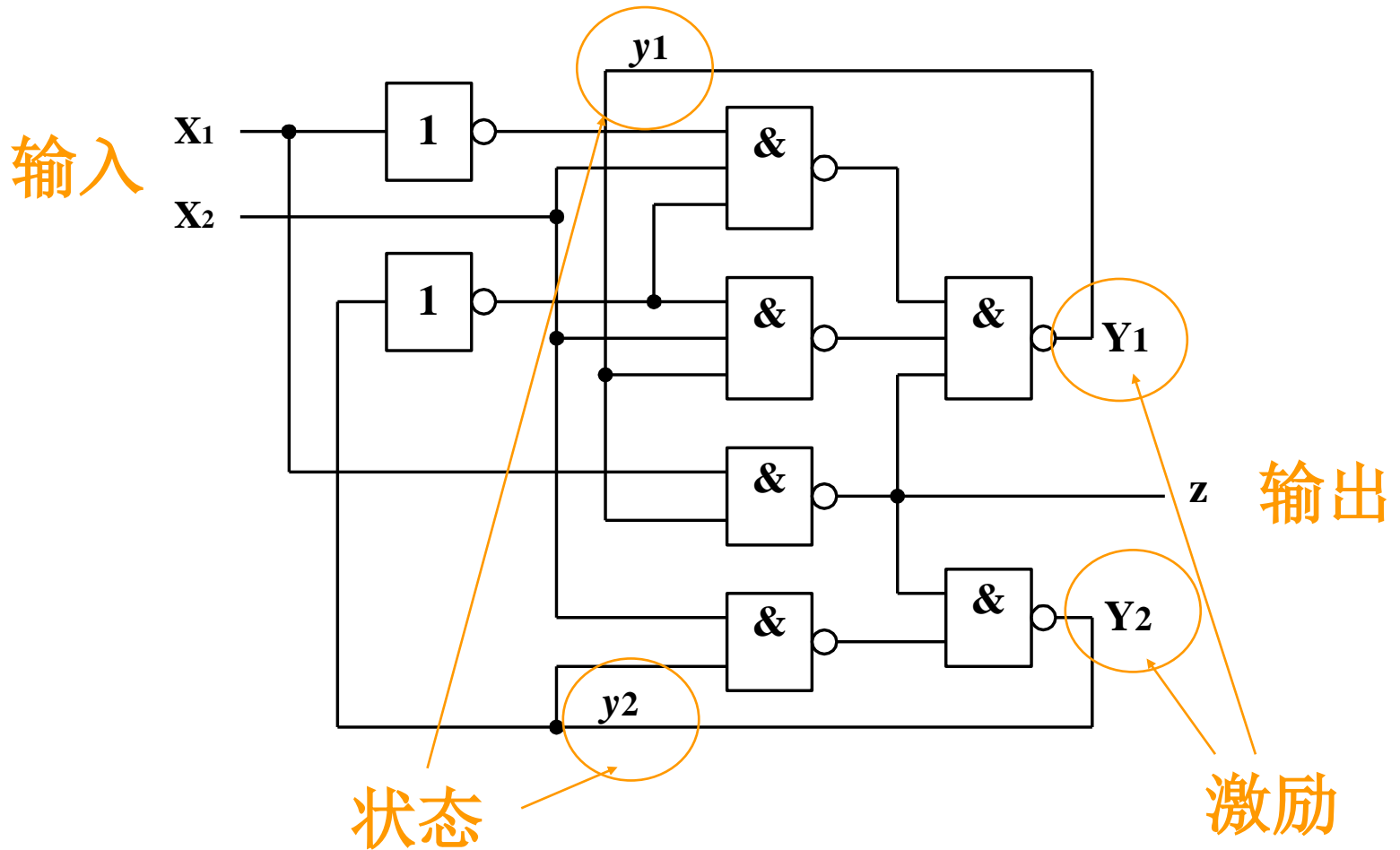
正确区分各变量之间的关系

作状态转换图要包含所有稳定状态和所有转换途径

作时序图时要考虑实际的输入情况

结合实际的输入情况讨论电路的功能

例5-2, p209



激励函数和状态流程表

$$Y_1 = \overline{x_1} \overline{x_2} \overline{y_2} + x_2 y_1 \overline{y_2} + x_1 y_1$$

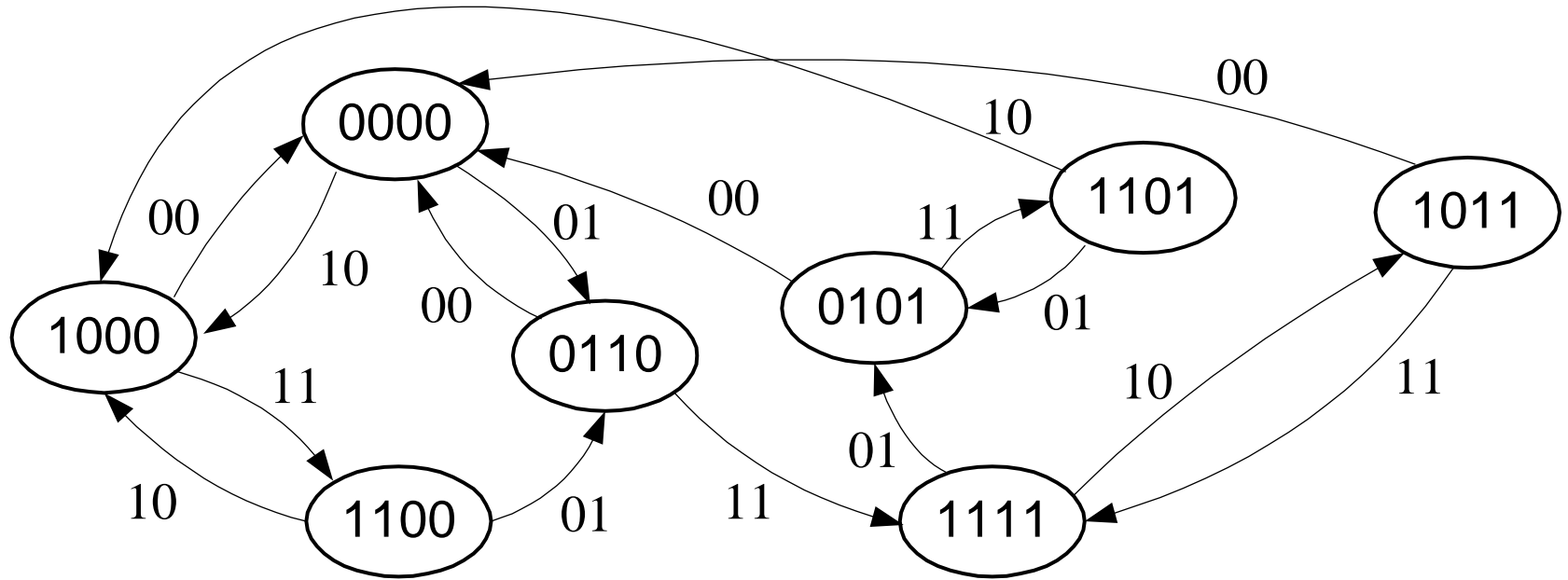
$$Y_2 = x_1 y_1 + x_2 y_2$$

初始状态

共有8个稳定状态

		$x_1 x_2$			
		00	01	11	10
$y_1 y_2$	00	⊙00	10	⊙00	⊙00
	01	00	⊙01	⊙01	00
	11	00	01	⊙11	⊙11
	10	00	⊙10	11	11

状态转换图



包含所有稳定状态和所有转换途径

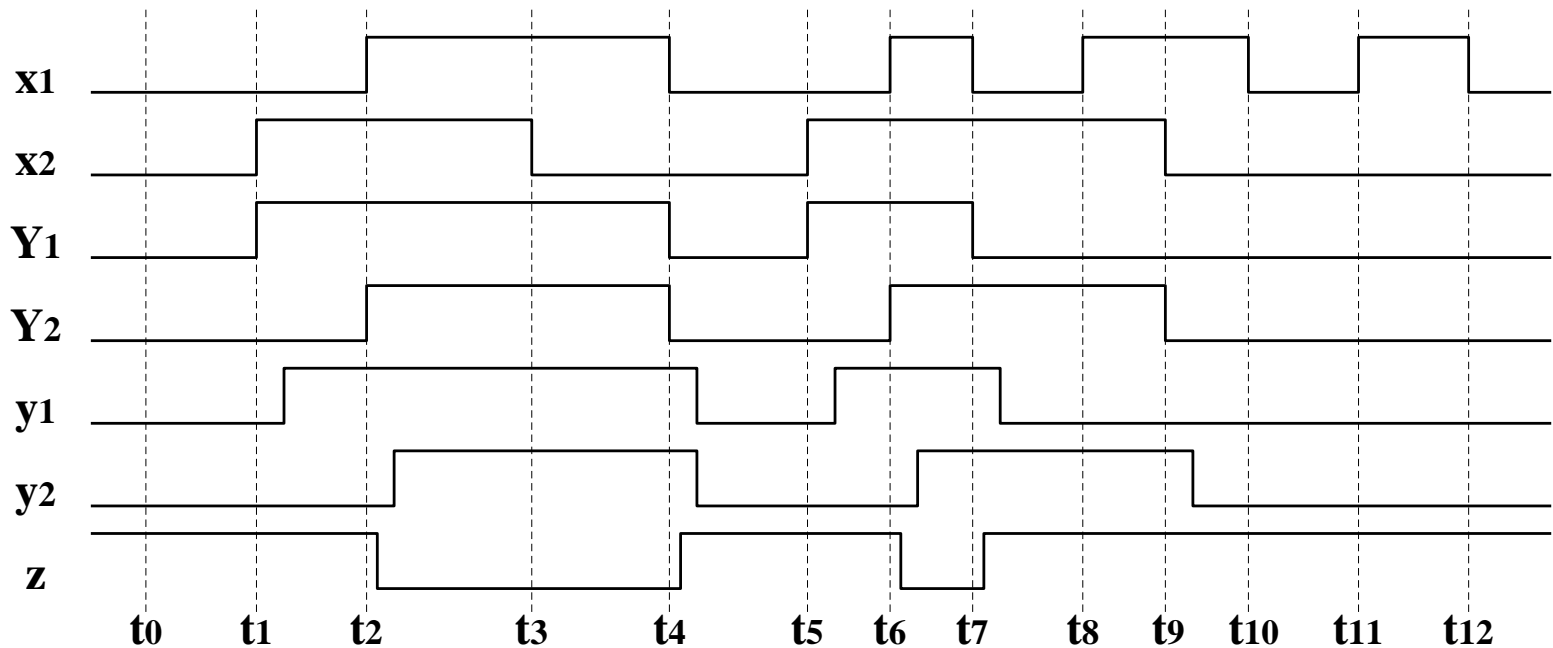
稳定状态指的什么? $X_1 x_2 y_1 y_2$

在特定输入条件下的时序图

输入 $x_1x_2 = 00, 01, 11, 10, 00, 01, 11, 01, 11, 10, 00, 10, 00$

总态 $x_1x_2y_1y_2 = 0000, 0110, 1111, 1011, 0000, 0110, 1111, 0101, 1101, 1000, 0000, 1000, 0000$

$$z = \overline{x_1 y_1}$$



先给出 $Y_1 Y_2$ ，再延时

- **功能描述**

若在输入 x_2 为逻辑1期间，输入 x_1 发生0到1的变化（上升沿），则在随后的 x_1 第一个逻辑1期间输出等于逻辑0，其余时间均输出逻辑1。

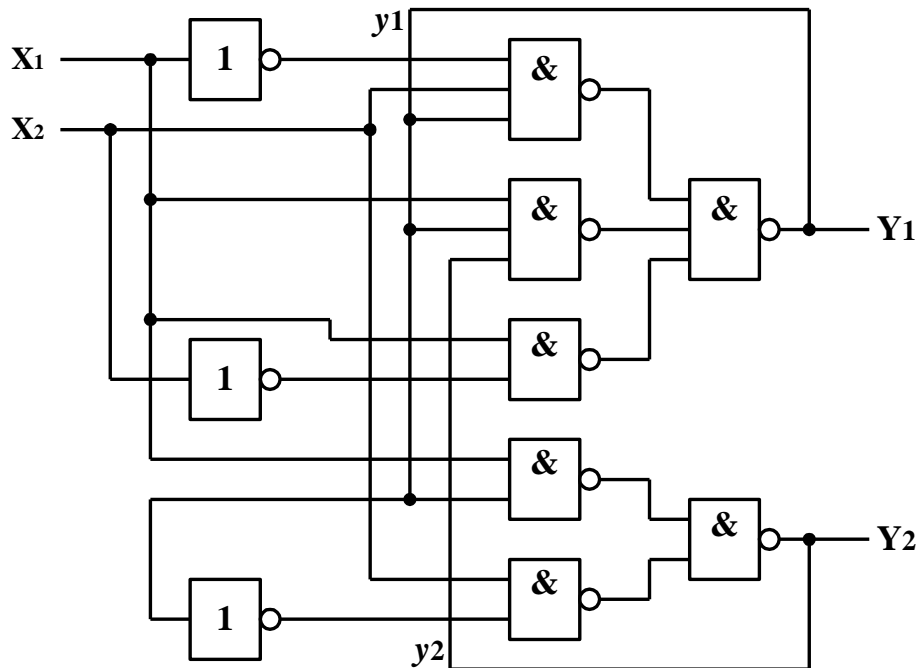
例5-3, P211

基本型异步时序电路分析一般过程

- 写出电路激励方程和输出方程
- 由激励方程写出电路状态流程表，并在流程表中找出所有稳定状态
- 根据状态流程表做出状态转换图或时序图，给出电路功能描述

5.2 基本型异步时序电路中的竞争与冒险

- 竞争的例子 (例5-5, P213)



$$Y_1 = \overline{x_1}x_2y_1 + x_1y_1y_2 + x_1\overline{x_2}$$

$$Y_2 = x_2\overline{y_1} + x_1y_1$$

发生竞争的总态转换过程

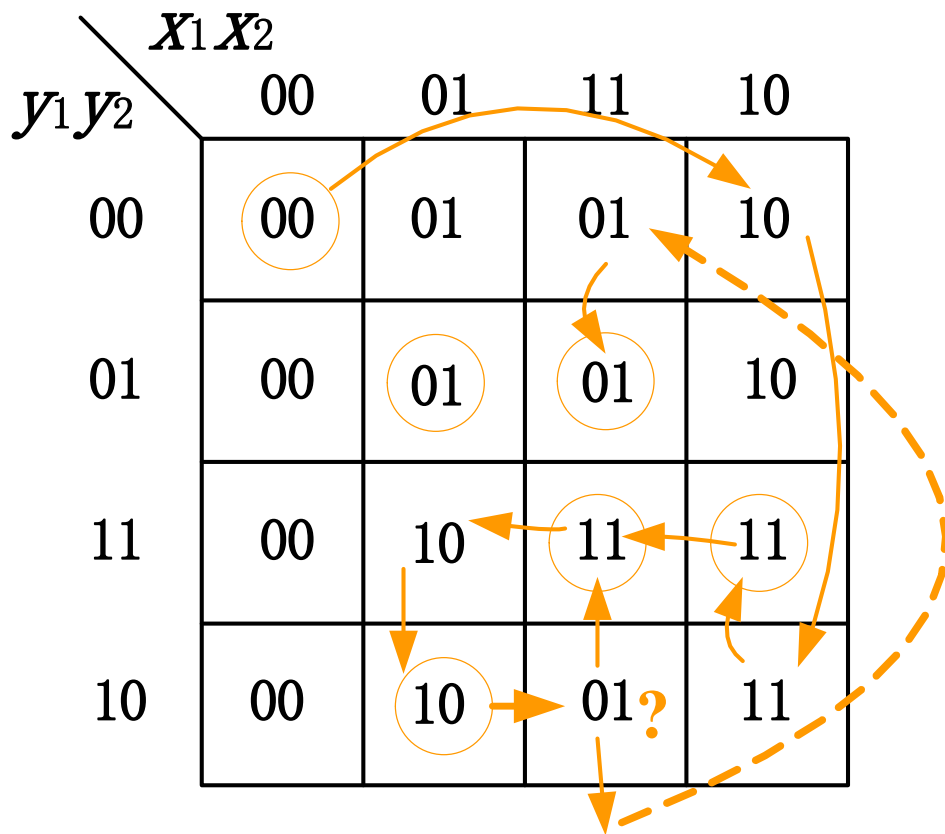
• 输入序列：

00 → 10 → 11 → 01 → 11

• 总态转换：

0000 → 1011 → 1111

→ 0110 → ?



1 0 → 0 1, 若先变 1 1, 则 1 1 1 1, 若先变 0 0, 则 1 1 0 1

临界竞争与非临界竞争

基本型异步时序电路在某个输入作用下，从一个稳定状态转换到另一个稳定状态时，如果有多于一个的状态变量需要同时发生变化，则称电路存在竞争

如果电路最终达到的稳定状态依赖于状态变量变化的次序，则称为临界竞争

如果最终达到的稳定状态相同，则称为非临界竞争

临界竞争的判别

在状态转换表中选择一个稳定总态，然后从这个稳定状态向某个相邻列转移。

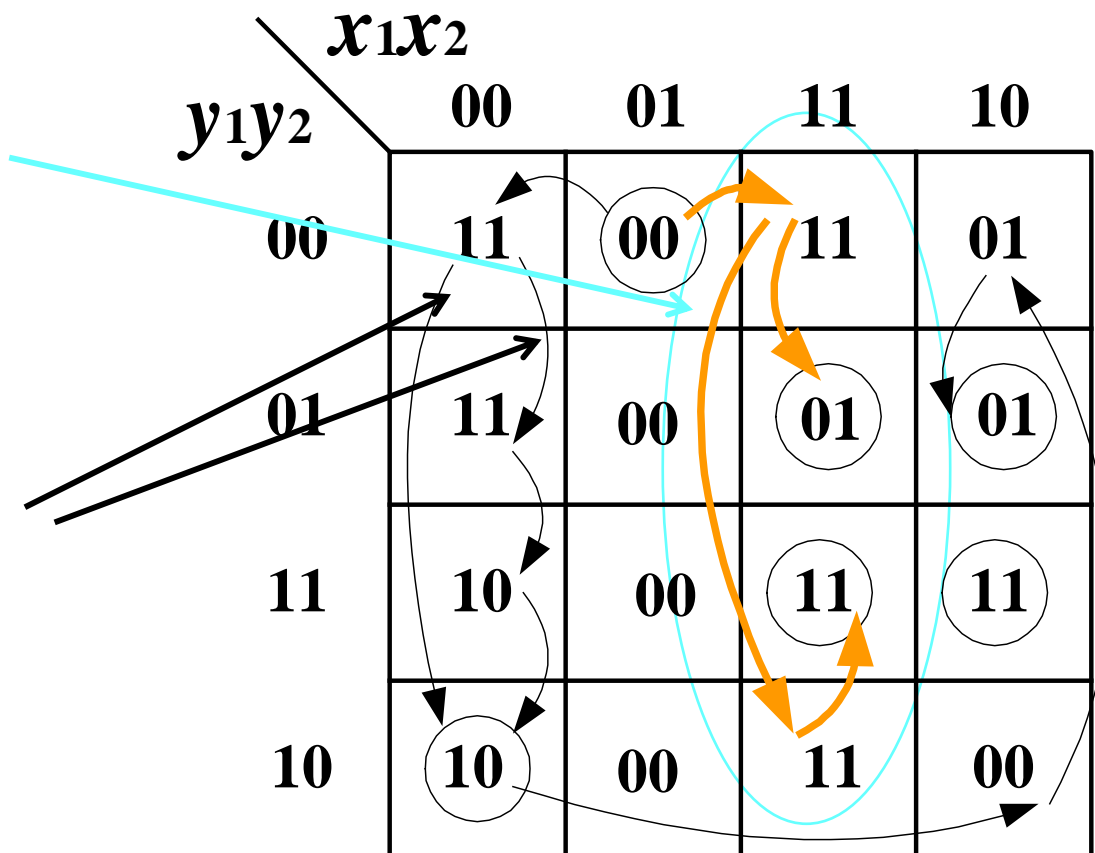
考察在该列内的状态转换过程。若此转换过程中所有的转换途径都能够到达同一个稳定状态，则此转换过程不发生临界竞争。

改变输入变量以及改变初始稳定总态，重复上两步的判别。直至遍历从所有的稳定总态出发的每种可能的转换途径。

临界竞争的例子(例5-6, P217)

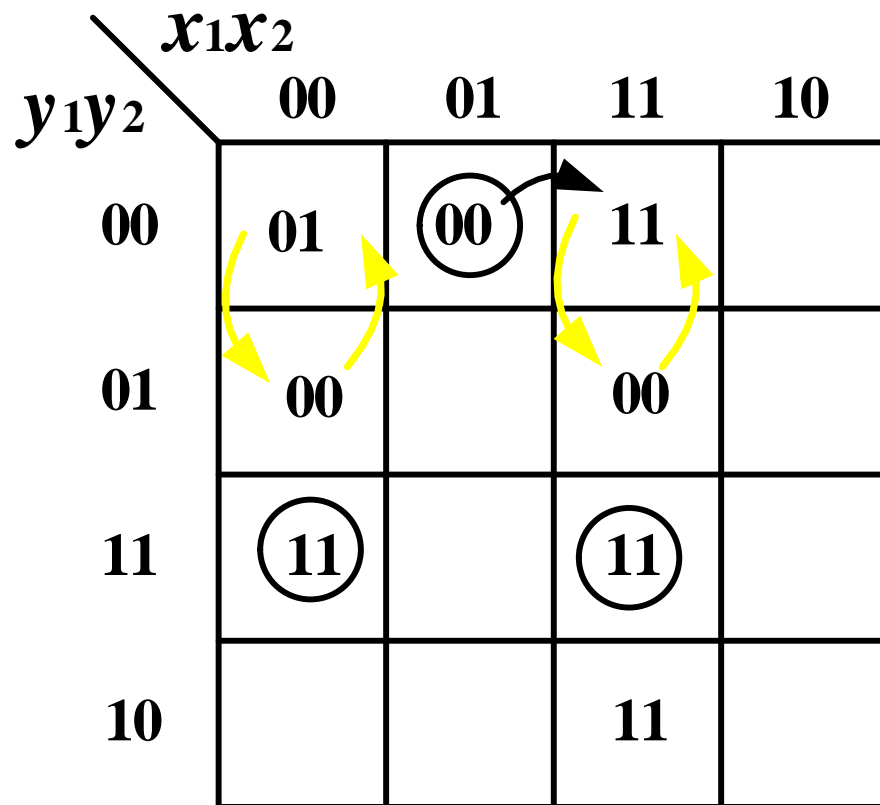
不同的转换次序导致不同的结果：临界竞争

不同的转换次序，相同的结果：非临界竞争



临界竞争的例子（例5-8，P218）

状态循环，无法达到最终稳定状态。这是一种特殊的临界竞争



右边和左边的环情况不同。

临界竞争的消除

在电路中插入可控延迟元件

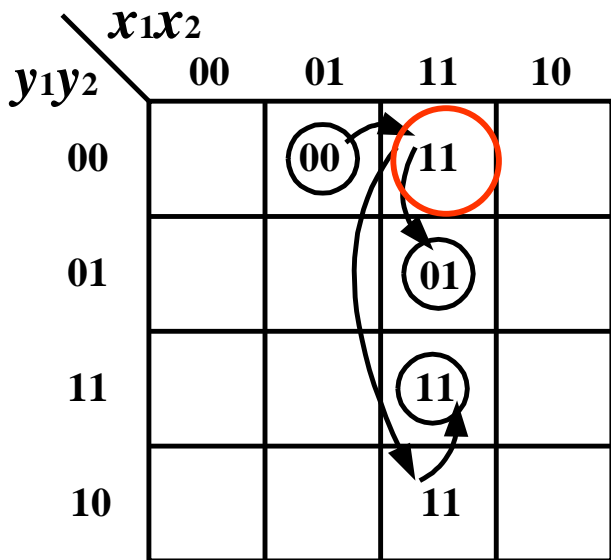
修改状态流程表中的非稳定状态，使得循环的结果到达目标状态

采用相邻的状态分配来消除临界竞争

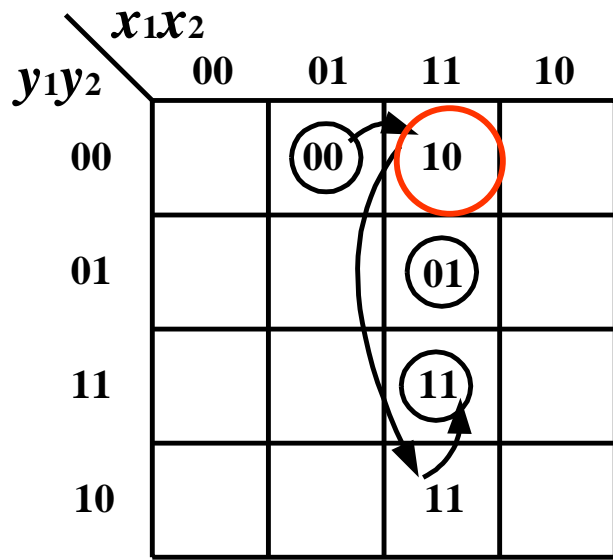
增加状态变量

修改状态流程图

有临界竞争



无临界竞争

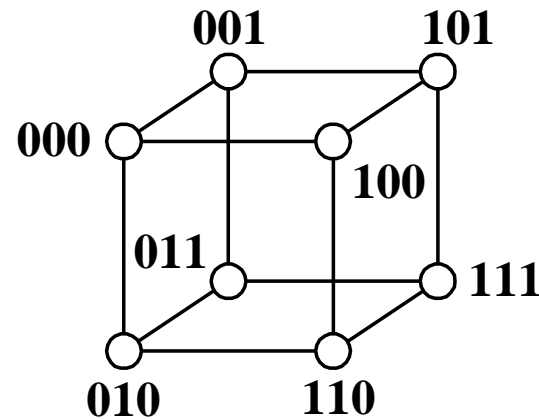
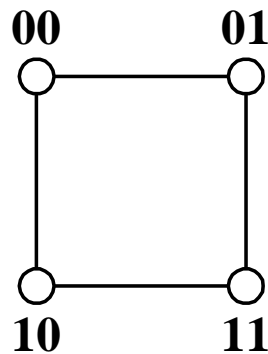


在原问题中，**11**是对应于**10**的次状态，最终结果要求转换到**11**。

修改原则，不改变最终结果。

相邻的状态分配

相邻状态：



相邻状态分配：

使每个稳定态与它的激励态相邻，可以避免临界竞争。

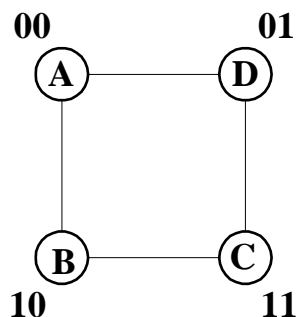
稳定态、激励态，分别是什么？

相邻状态分配的例子

原始问题

$S \backslash x_1x_2$	00	01	11	10
A	(A) → B	(A)	(A)	B
B	C	(B)	(B)	(B)
C	(C)	D	B	D
D	(D)	(D)	A	(D)

要求的相邻关系



相邻编码后的
状态流程表

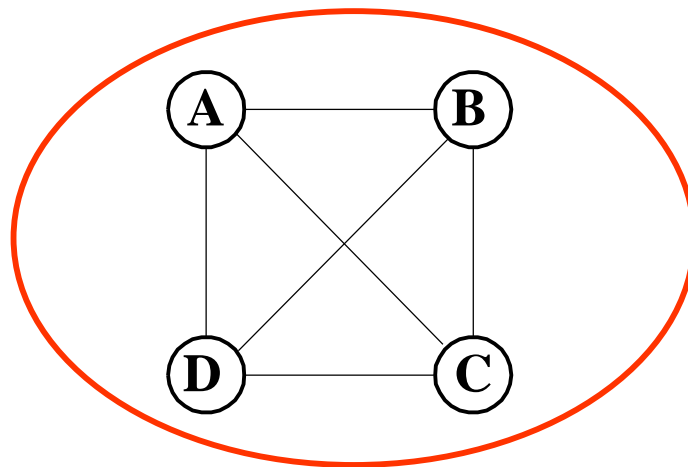
$S \backslash x_1x_2$	00	01	11	10
00	(00)	10	(00)	10
10	11	(10)	(10)	(10)
11	(11)	01	10	01
01	(01)	(01)	00	(01)

当系统在状态A发生输入改变 (00→01) 时，激励态为B，为了不发生临界竞争，要求A与B相邻。

增加状态变量

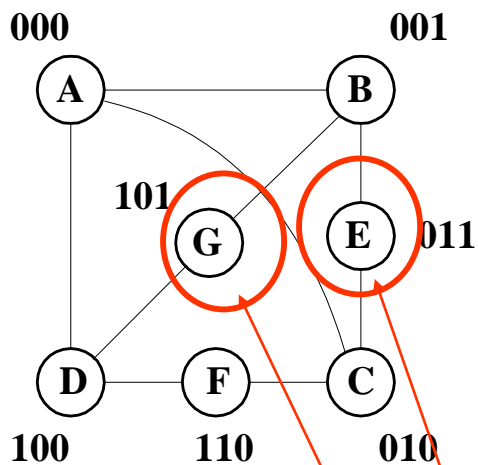
原始问题

		x_1x_2			
		00	01	11	10
s	A	C	A	B	A
	B	B	C	B	A
	C	C	C	D	D
	D	B	A	D	D



原始问题的相邻关系复杂，无法采用相邻编码达到无临界竞争

增加状态变量后，做到相邻编码



$y_1y_2y_3$		$Y_1Y_2Y_3$			
		$x_1x_2 = 00$	$x_1x_2 = 01$	$x_1x_2 = 11$	$x_1x_2 = 10$
A	000	C 010	A 000	B 001	A 000
B	001	B 001	E 011	B 001	A 000
C	010	C 010	C 010	F 110	F 110
D	100	G 101	A 000	D 100	D 100
E	011		C 010		
F	110				
G	101	B 001			

增加了两个中间状态，使得所有状态转换都是相邻的

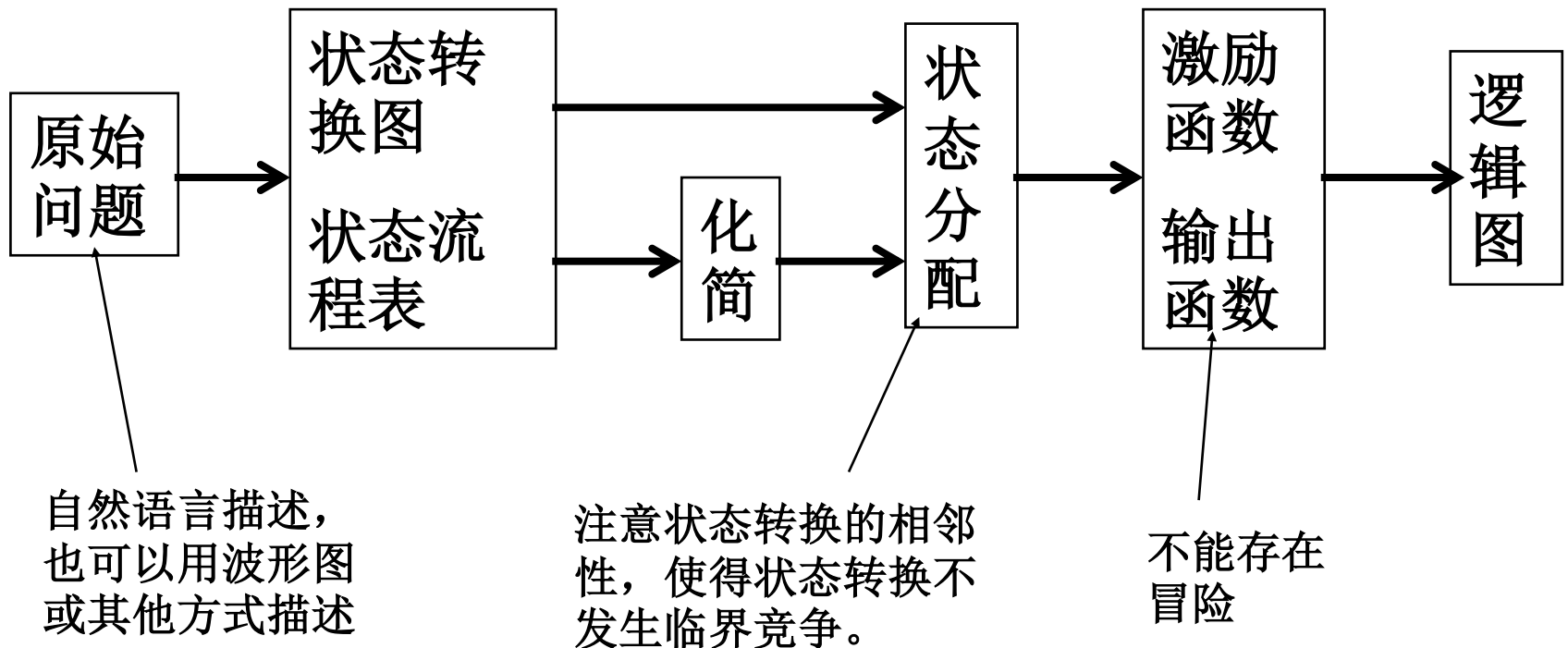
画图的顺序是什么？从 $y_1 y_2 y_3$ 状态到 $x_1 x_2$ 激励后状态的变化相邻

5.3 基本型异步时序电路设计

限制与要求

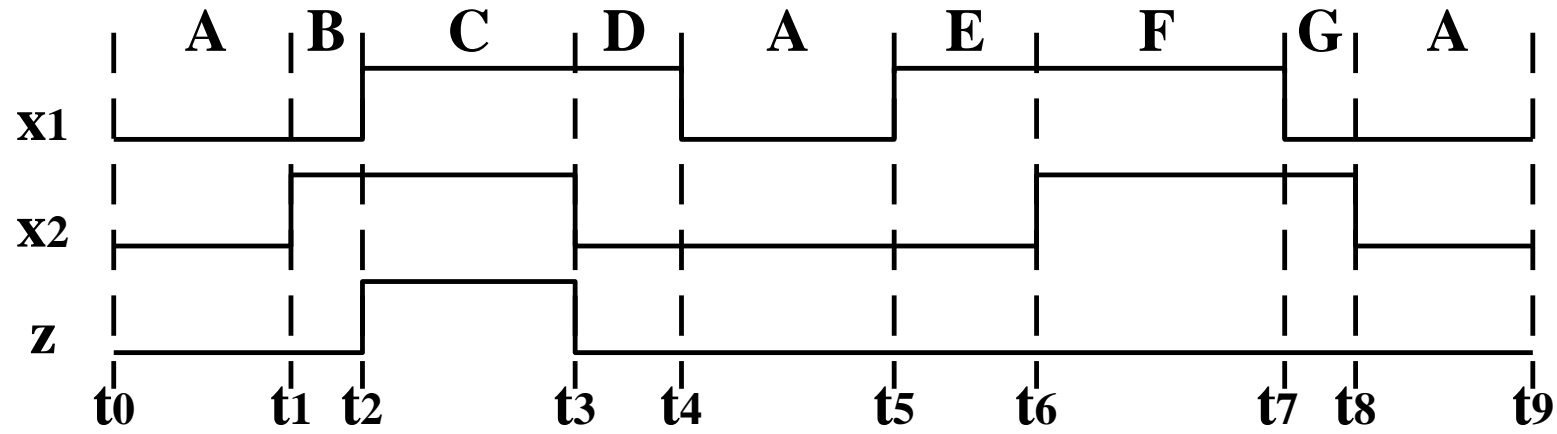
1. 每次只允许一个输入变量发生改变
2. 每次输入发生改变后，必须等待电路稳定后方可允许下一个输入发生变化
3. 无冒险
4. 无临界竞争

基本型异步时序电路设计流程

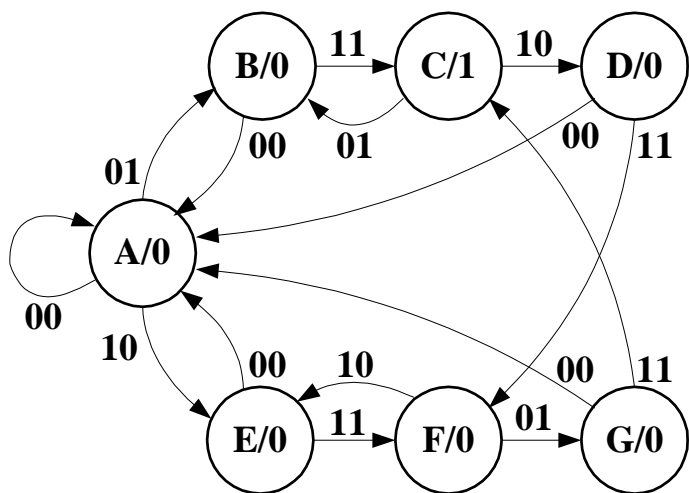


例5-11 (p226)

例5-12 设计一个异步时序电路，它有两个输入端 x_1x_2 ，一个输出端 z 。当输入 $x_1x_2 = 00$ 时，输出 $z = 0$ 。若在 x_1 由 0 变 1 时 x_2 已经是逻辑 1，即 x_2 在 x_1 之前变为 1，则输出 $z = x_1x_2$ 。若 x_1 在 x_2 之前变为 1 则输出 $z = 0$ 。



状态转换图与状态流程表

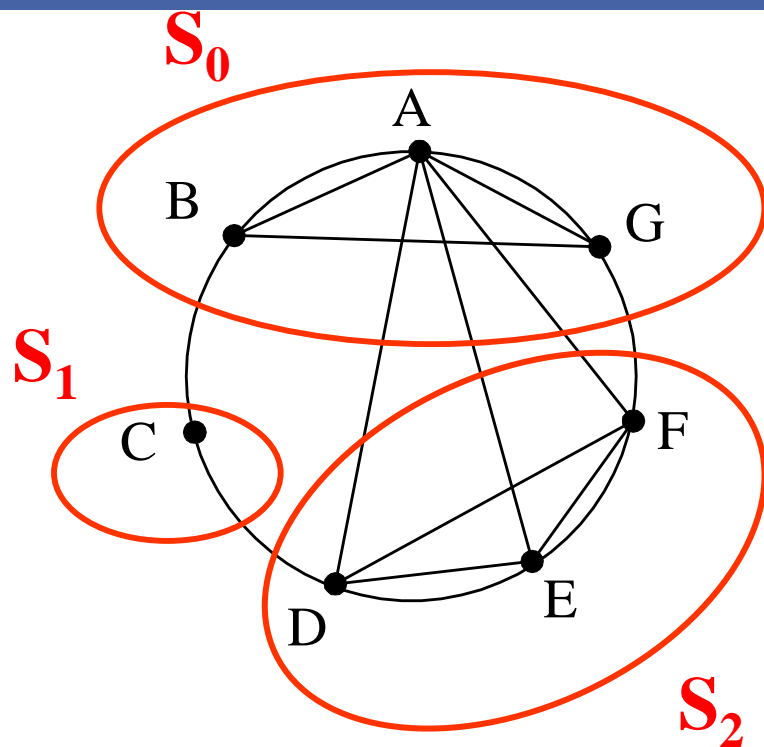


状态	激励态				输出
	X = 00	X = 01	X = 11	X = 10	
A	(A)	B	-	E	0
B	A	(B)	C	-	0
C	-	B	(C)	D	1
D	A	-	F	(D)	0
E	A	-	F	(E)	0
F	-	G	(F)	E	0
G	A	(G)	C	-	0

由于不允许同时改变两个输入变量，这些状态不可能经过

状态化简

B	✓					
C	✗	✗				
D	D,E	C,F	✗			
E	✓	C,F	✗	✓		
F	B,G	B,G C,F	✗	D,E	✓	
G	B,G	B,G	✗	C,F	C,F	C,F
	A	B	C	D	E	F



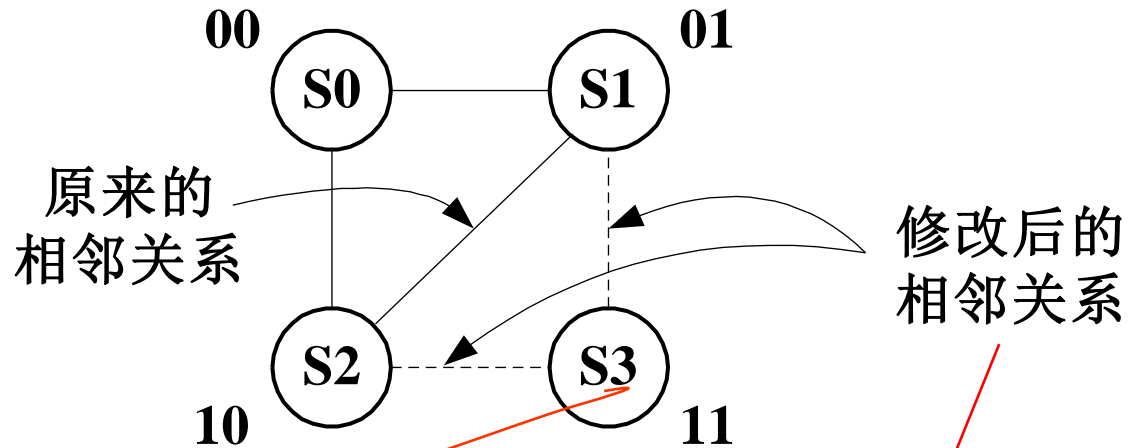
满足最小化、覆盖化和闭合性三个条件，从上述3个最大相容类中选择3个子集{A,B,G}、{C}和{D,E,F}来作为化简后的状态,记为 S_0 、 S_1 和 S_2

化简以后的状态流程表

状态	激励态				输出
	$x_1x_2=00$	$x_1x_2=01$	$x_1x_2=11$	$x_1x_2=10$	
S_0	S_0	S_0	S_1	S_2	0
S_1	-	S_0	S_1	S_2	1
S_2	S_0	S_0	S_2	S_2	0

状态分配

为了使状态相邻，增加过渡状态



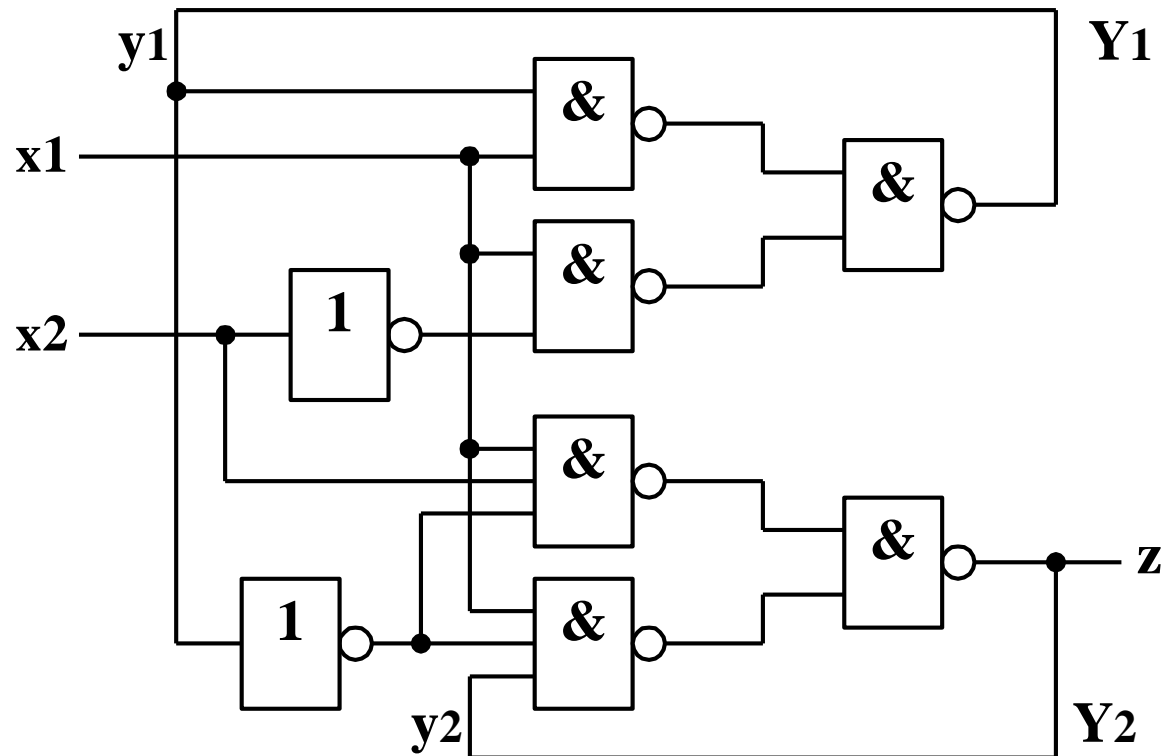
状态 y_1y_2	激励态 Y_1Y_2				输出 z
	$x_1x_2=00$	$x_1x_2=01$	$x_1x_2=11$	$x_1x_2=10$	
S_0 00	00	00	01	10	0
S_1 01	—	00	01	11	1
S_3 11	—	—	—	10	1
S_2 10	00	00	10	10	0

激励方程、输出方程和逻辑图

$$Y_1 = x_1 y_1 + x_1 \overline{x_2}$$

$$Y_2 = x_1 x_2 \overline{y_1} + x_1 \overline{y_1} y_2$$

$$z = y_2$$



方法2：ASM图
(P232)

5.4 脉冲型异步时序电路的分析和设计

脉冲型异步时序电路与同步时序电路的相同点

- 都以触发器作为记忆单元
- 都具有米利与摩尔两种模型，结构类似

脉冲型异步时序电路

- 触发器具有不同的时钟
- 时钟信号作为输入处理

同步时序电路

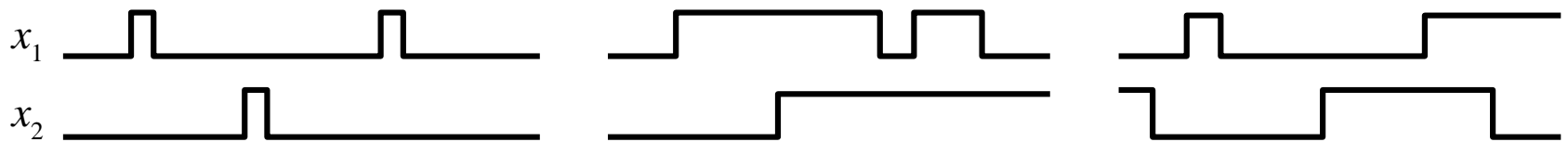
- 全部触发器具有统一的时钟
- 时钟信号是默认的，不作为输入处理

脉冲型异步时序电路中的时钟

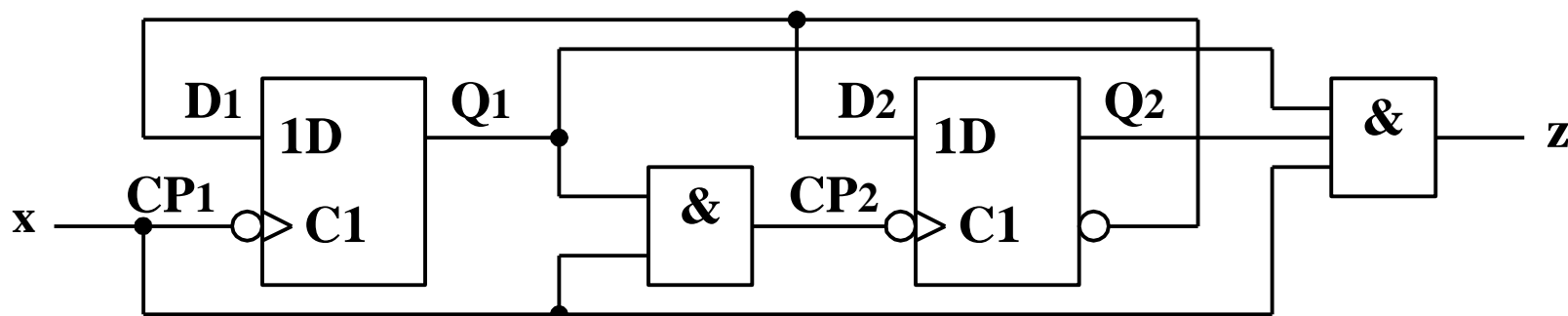
时钟信号的逻辑值在输入信号变化的有效边沿为1，其余为0

实际的输入信号中，只要有效边沿符合要求，信号脉冲的宽度可以是任意值

以下3组脉冲，对于上升沿触发的触发器而言，输入序列相同



脉冲型异步时序电路分析的例子 (例5-13 , P235)



激励方程与输出方程

$$D_1 = \overline{Q_2}, \quad D_2 = \overline{Q_2}, \quad z = xQ_1Q_2$$

触发器的输入方程

$$cp_1 = x, \quad cp_2 = xQ_1$$

脉冲型异步时序电路的特点

状态方程

$$Q_{1(n+1)} = D_1 \cdot cp_1 + Q_1 \cdot \overline{cp_1} = \overline{Q_2} \cdot cp_1 + Q_1 \cdot \overline{cp_1}$$

$$Q_{2(n+1)} = D_2 \cdot cp_2 + Q_2 \cdot \overline{cp_2} = \overline{Q_2} \cdot cp_2 + Q_2 \cdot \overline{cp_2}$$

$$cp_1 = x, \quad cp_2 = xQ_1$$

在脉冲型异步时序电路中触发器的 cp 表达式中，只有当表达式右端的逻辑函数产生对该触发器有效的触发时，表达式左边的 $cp = 1$ 。

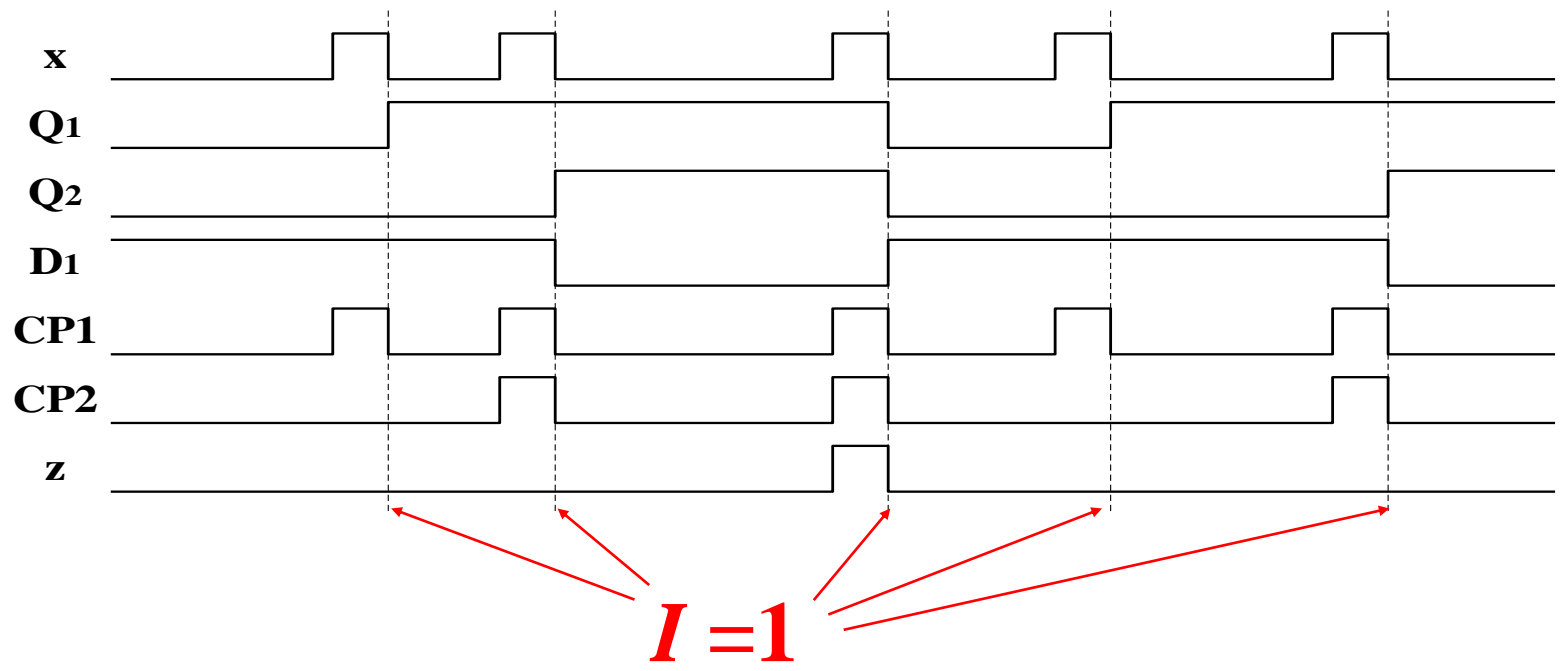
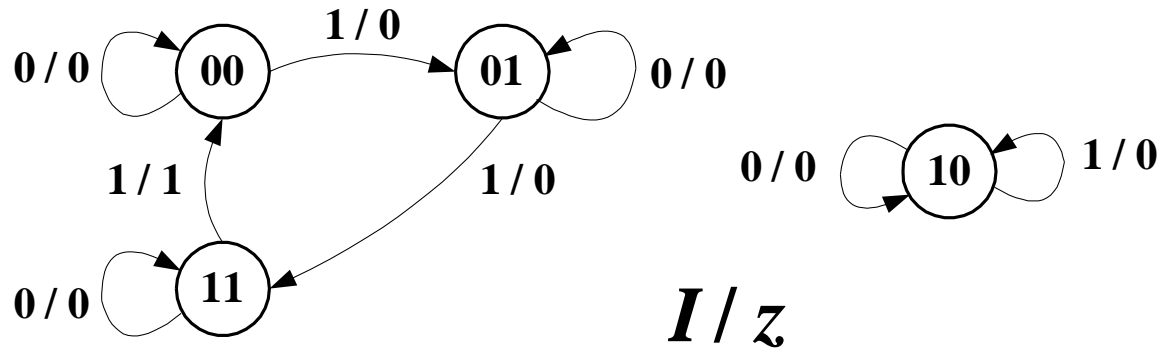
• 状态转换表

Q_2Q_1	cp_2cp_1		$Q_{2(n+1)}Q_{1(n+1)}$	
	$I=0$	$I=1$	$I=0$	$I=1$
00	00	01	00	01
01	00	11	01	11
11	00	11	11	00
10	00	01	10	10

$I = 1$: 输入 x 的下降沿

$I = 0$: 除了输入 x 下降沿以外的所有时刻

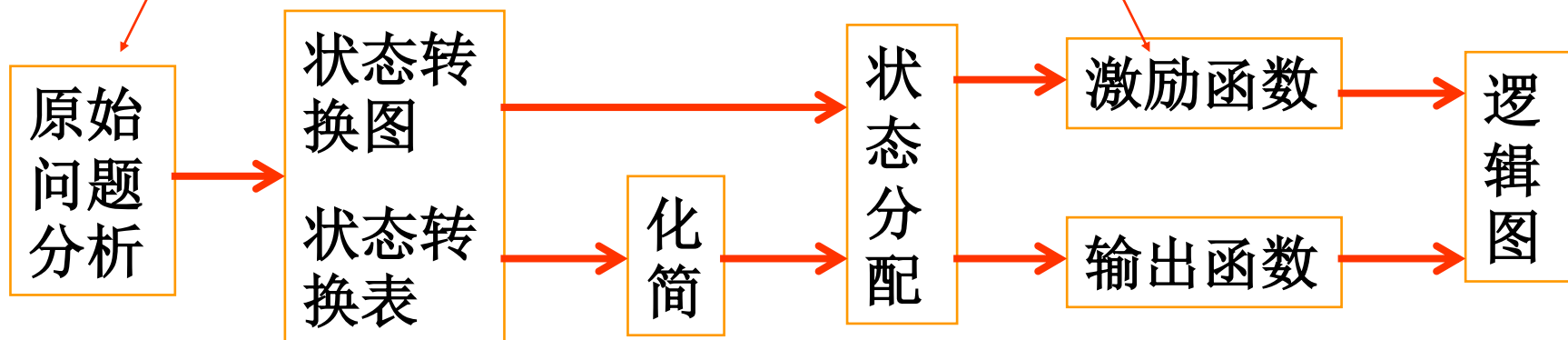
• 状态转换图和时序图



5.4.2 脉冲型异步时序电路的设计

自然语言描述，
也可以用波形图
或其他方式描述

可能包含触发器的
时钟信号的选择



例5-16 , P241

试用T触发器设计满足下列功能的脉冲型异步时序电路。电路的功能描述是：只有当输入脉冲序列为 $x_1 \rightarrow x_1 \rightarrow x_2$ 的情况下，在输入 x_2 的同时输出 z ；其余情况下都没有输出。

T触发器是指只有一个T输入端的触发器。该触发器的状态方程如下：

$$Q_{n+1} = \overline{Q} \cdot t + Q \cdot \overline{t}$$

• 问题分析

- 米利模型

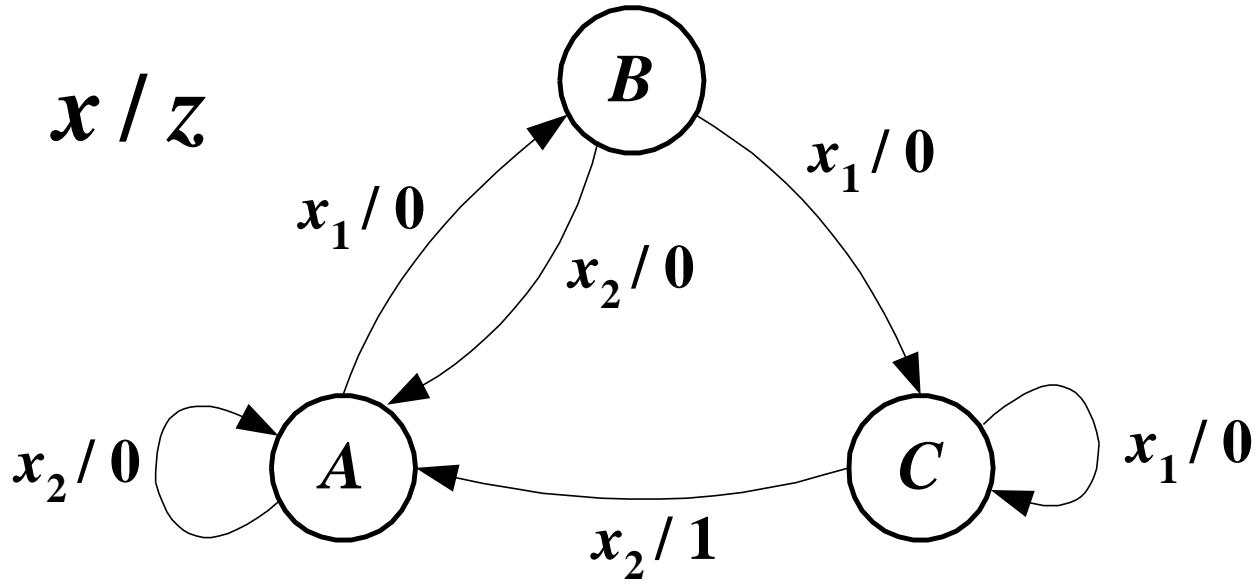
- 定义系统状态：

- 状态A：原始状态；

- 状态B：已经输入序列为 x_1 ；

- 状态C：已经输入序列为 $x_1 \rightarrow x_1$ ，在此状态下输入 x_2 可以产生输出。

• 状态转换图



注意：由于异步时序电路限制每次只有一个输入变量变化，所以从某状态出发的状态转换线的数目与输入变量的数目相等

对比：同步时序电路一般是输入变量的组合

• 状态编码和状态转换表

现态	次态 / 输出	
	x_1	x_2
A	B/0	A/0
B	C/0	A/0
C	C/0	A/1

y_1y_2	Y_1Y_2 / z	
	x_1	x_2
00	01/0	00/0
01	10/0	00/0
10	10/0	00/1

注意：所有输入没有组合状态！

激励卡诺图和输出卡诺图

状态转换表

y_1y_2	Y_1Y_2/z	
	x_1	x_2
00	01/0	00/0
01	10/0	00/0
10	10/0	00/1

T触发器的激励表

Q	Q_{n+1}	t
0	0	0
0	1	1
1	1	0
1	0	1

激励卡诺图

y_1y_2	x_1	x_2
00	0	0
01	1	0
11	d	d
10	0	1

t_1

y_1y_2	x_1	x_2
00	1	0
01	1	1
11	d	d
10	0	0

t_2

输出卡诺图

y_1y_2	x_1	x_2
00	0	0
01	0	0
11	d	d
10	0	1

z

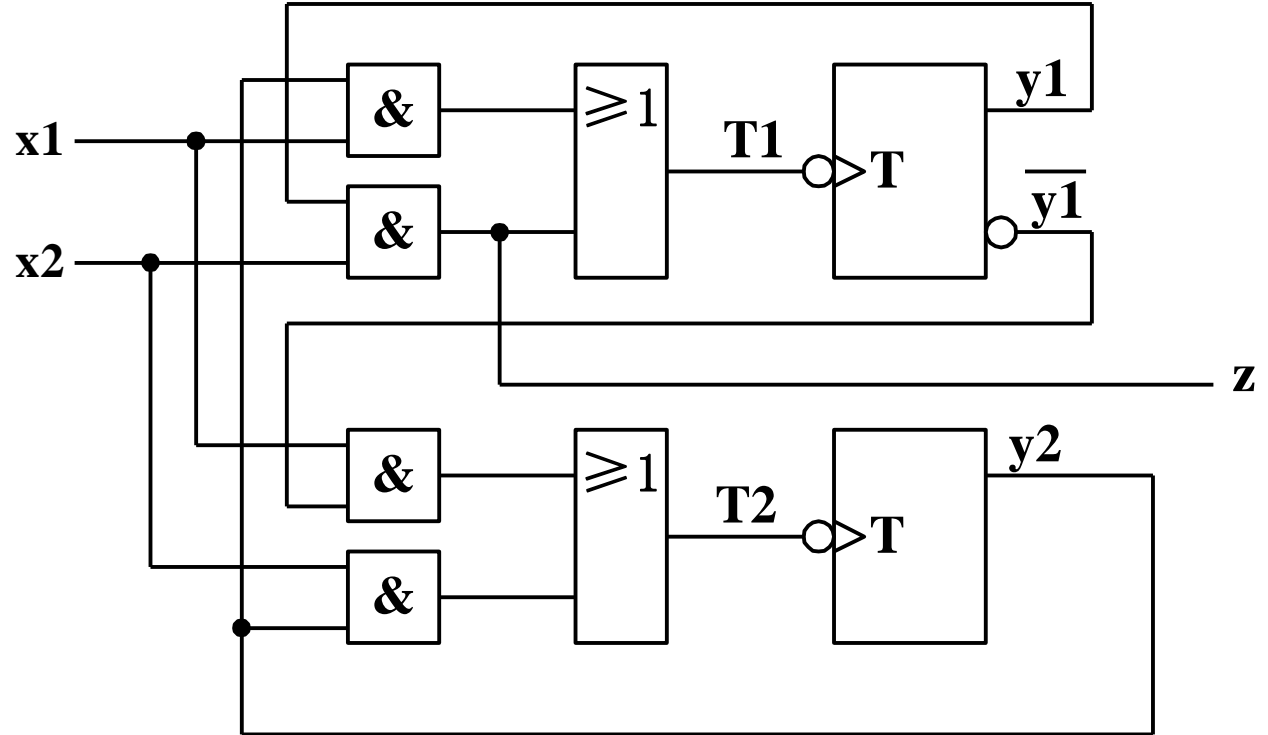
注意：所有输入没有组合状态，卡诺圈不能将不同的输入圈在一起！

• 激励函数、输出函数和逻辑图

$$t_1 = x_1 y_2 + x_2 y_1$$

$$t_2 = x_1 \bar{y}_1 + x_2 y_2$$

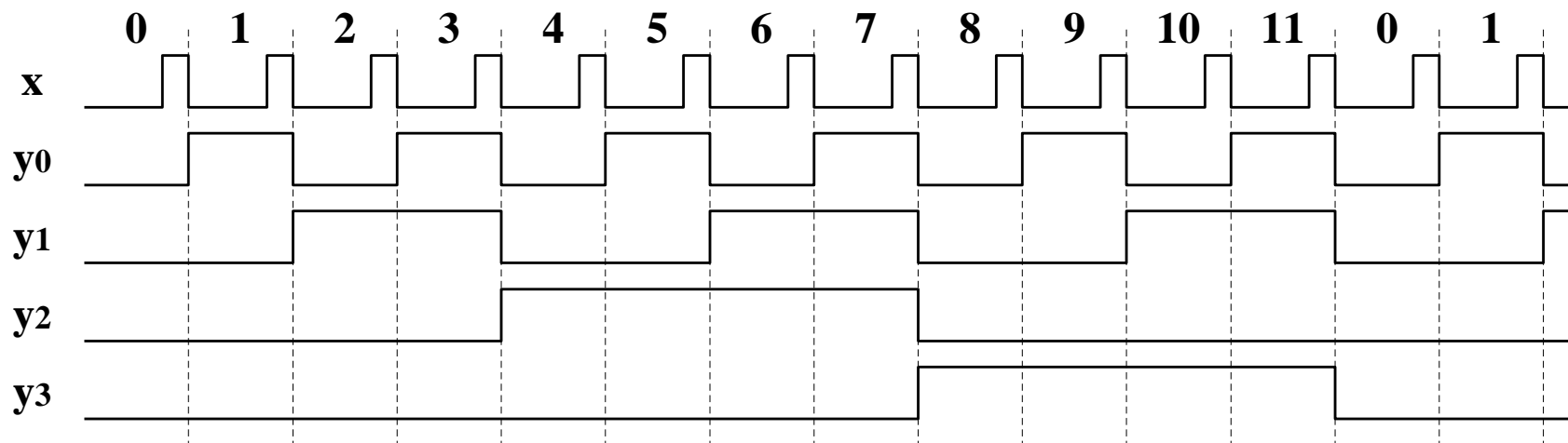
$$z = x_2 y_1$$



例5-18, P245

试用JK触发器设计一个12进制异步加法计数器

问题分析



计数器类问题具有固定的时序，所以用时序图分析比较容易

• 状态转换表

状态	$y_3y_2y_1y_0$	$Y_3Y_2Y_1Y_0$
S_0	0000	0001
S_1	0001	0010
S_2	0010	0011
S_3	0011	0100
S_4	0100	0101
S_5	0101	0110
S_6	0110	0111
S_7	0111	1000
S_8	1000	1001
S_9	1001	1010
S_{10}	1010	1011
S_{11}	1011	0000

• 电路结构

输入变量

输出变量

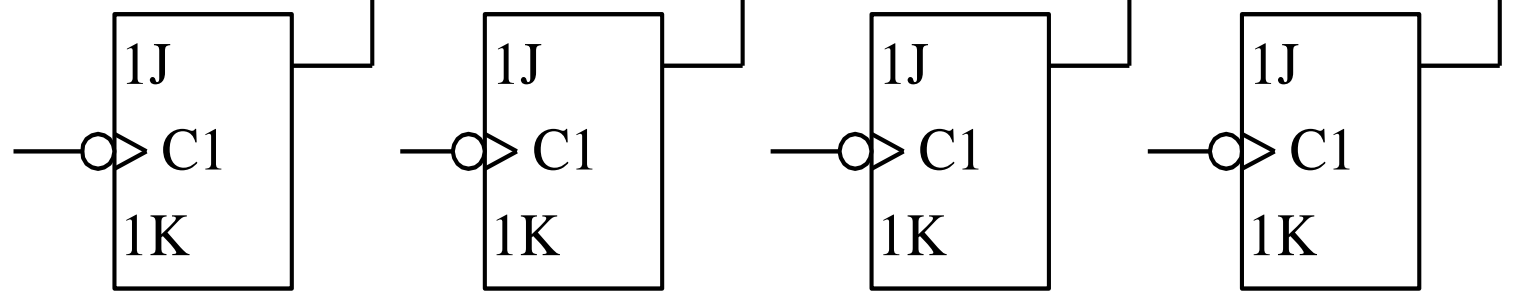
x

y_0

y_1

y_2

y_3



触发器0

触发器1

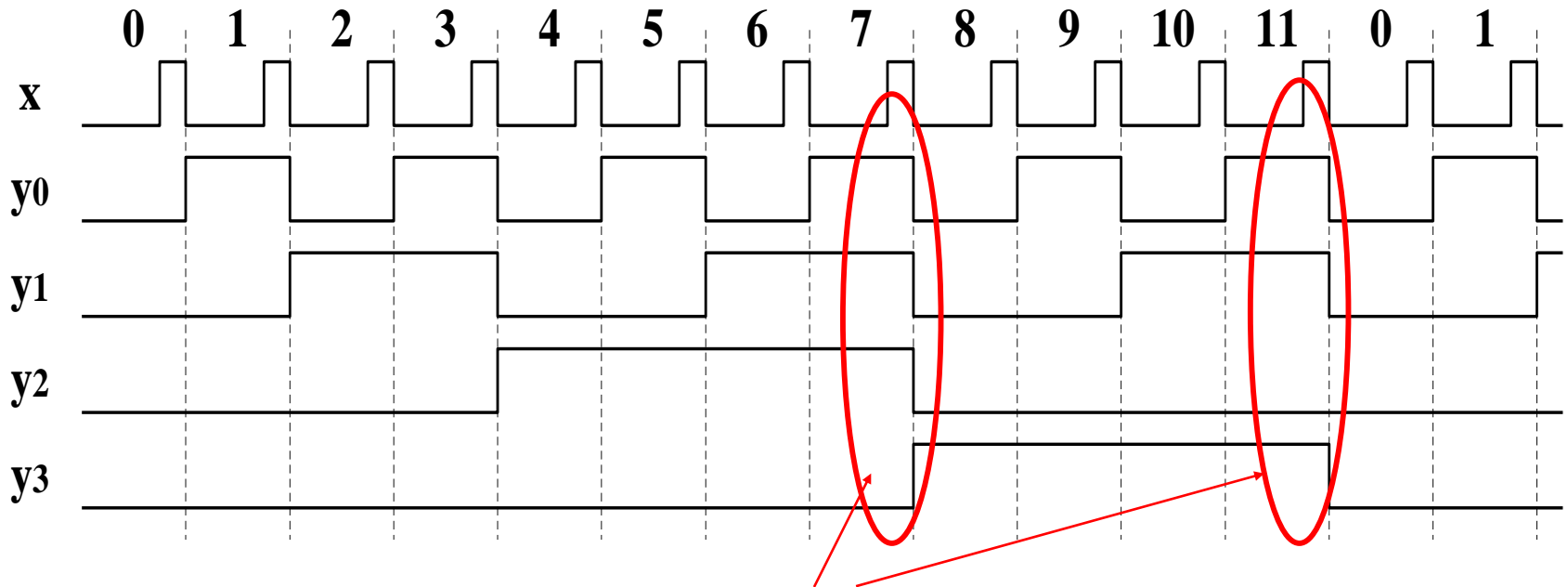
触发器2

触发器3

问题：每个触发器的时钟、激励如何获得？

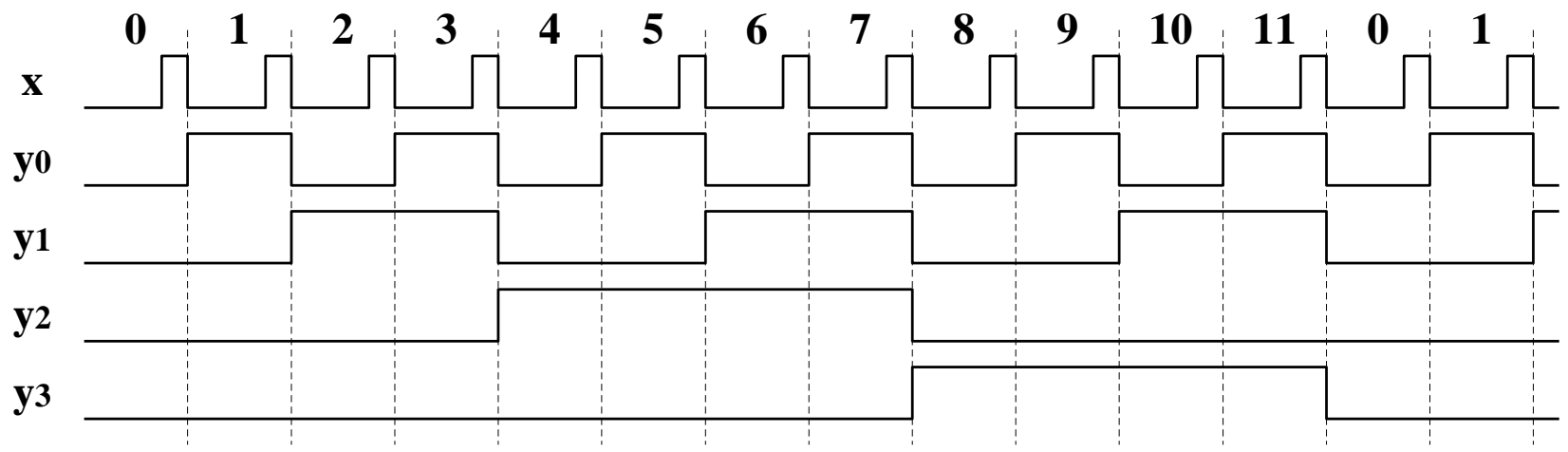
• 时钟的选择原则

- 1、在触发器的状态发生改变时必须有时钟信号，并且该时钟信号具有相同的极性（即都是正跳变或者都是负跳变）。
- 2、在触发器不发生状态改变时的时钟信号越少越好。



以 y_3 为例， cp_3 必须在这两个时刻出现，必须具有相同的极性，且越少越好。所以选 y_1 作为 cp_3 。

• 本例时钟的选择

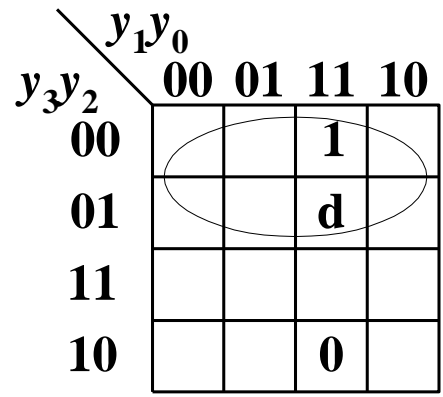


$$cp_0 = x, \quad cp_1 = y_0, \quad cp_2 = y_1, \quad cp_3 = y_2$$

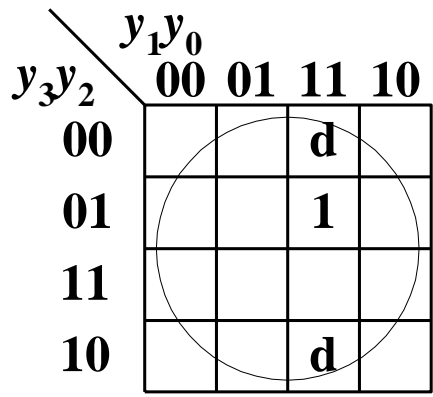
由于 Y_0 在每个 cp_0 有效时都翻转，所以触发器 0 只要简单地接成 T' 触发器即可。

同理，触发器 1 也只要简单地接成 T' 触发器。

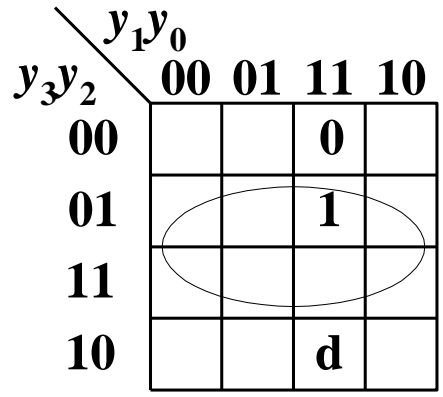
激励卡诺图 (触发器2、 触发器3)



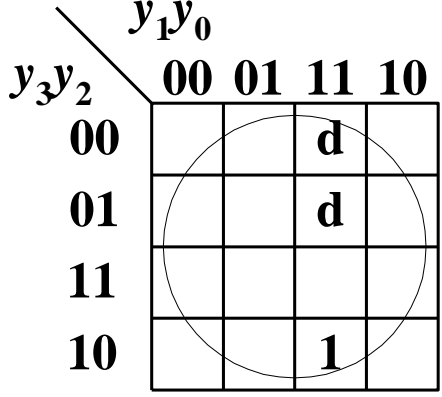
J_2



K_2



J_3



K_3

此激励卡诺图的获得过程与同步时序电路的过程类似。

不同之处在于：

触发器2、触发器3的时钟是 y_1 的下降沿，而 y_1 的下降沿只有在状态 S_3 、 S_7 、 S_{11} 才出现，所以在卡诺图中只有这3个状态有效，其余状态均作为任意态处理。

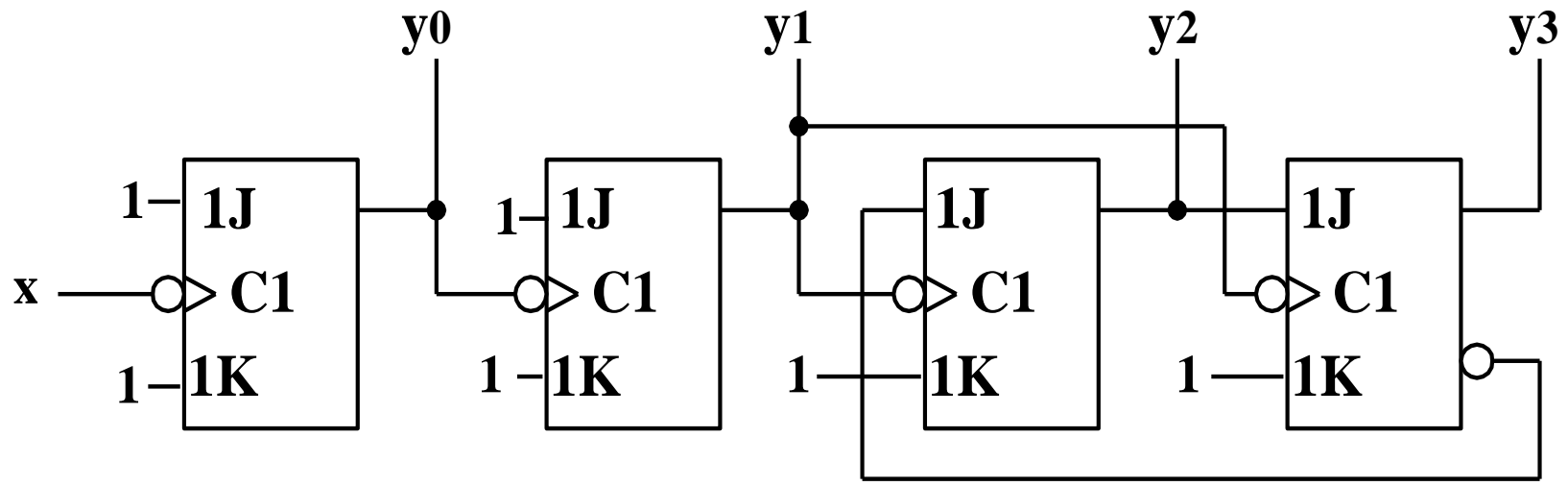
• 激励函数和逻辑图

$$J_0 = K_0 = 1,$$

$$J_1 = K_1 = 1$$

$$J_2 = \overline{y_3}, \quad K_2 = 1,$$

$$J_3 = y_2, \quad K_3 = 1$$



VIP

Video Image Processing

Research Group @ Fudan

<http://soc.fudan.edu.cn/vip/>

Thank you !