

一种适用于HEVC标准的去方块效应滤波器的硬件片上存储方法

申请号：[201410494794.1](#)

申请日：2014-09-25

申请(专利权)人 [复旦大学](#)
地址 200433 上海市杨浦区邯郸路220号
发明(设计)人 [范益波](#) [程魏](#) [谢峥](#) [陆彦珩](#) [黄磊磊](#) [曾晓洋](#)
主分类号 [H04N19/86\(2014.01\)I](#)
分类号 [H04N19/86\(2014.01\)I](#) [H04N19/13\(2014.01\)I](#)
[H04N19/122\(2014.01\)I](#)
公开(公告)号 104253998A
公开(公告)日 2014-12-31
专利代理机构 [上海正旦专利代理有限公司](#) 31200
代理人 [陆飞](#) [盛志范](#)



(12) 发明专利申请

(10) 申请公布号 CN 104253998 A

(43) 申请公布日 2014. 12. 31

(21) 申请号 201410494794. 1

(22) 申请日 2014. 09. 25

(71) 申请人 复旦大学

地址 200433 上海市杨浦区邯郸路 220 号

(72) 发明人 范益波 程魏 谢峥 陆彦珩

黄磊磊 曾晓洋

(74) 专利代理机构 上海正旦专利代理有限公司

31200

代理人 陆飞 盛志范

(51) Int. Cl.

H04N 19/86 (2014. 01)

H04N 19/13 (2014. 01)

H04N 19/122 (2014. 01)

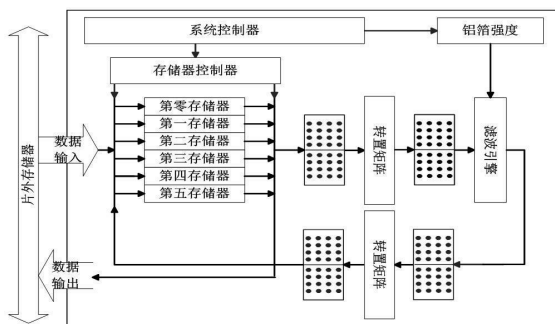
权利要求书1页 说明书4页 附图2页

(54) 发明名称

一种适用于 HEVC 标准的去方块效应滤波器的硬件片上存储方法

(57) 摘要

本发明属于数字高清视频压缩编解码技术领域,具体为一种适用于 HEVC 标准的去方块效应滤波器的硬件片上存储方法。在 HEVC 标准中,一个视频流有三个颜色分量:亮度分量 Y,色度分量 Cb 和 Cr;在去方块滤波器中,对每个 8x8 块的边界先进行垂直滤波然后进行水平滤波。本发明是基于一个 64x64 大小的 LCU 进行处理。首先是逻辑映射:将 Y 分量分成左右两个部分 LLUMA 和 RLUMA,色度分量 Cb 和 Cr 合成一个部分 CCBC;其次是物理映射:将 LLUMA、RLUMA 和 CCBC 中不同边界的 4x4 块存储在不同的 SRAM 里。本发明一共使用 6 块 SRAM,从而省去了数据从外设的输入和输出时间,减少一个 LCU 的处理时间,提高吞吐率,最终实现高清数字视频的实时编码。



1. 一种适用于 HEVC 标准的去方块滤波器效应的硬件片上存储方法,其特征在于具体步骤如下:

(1) 在原始视频流中,将一帧图像划分为一个个 64x64 大小的 LCU;每个 LCU 有:一个 64x64 大小的亮度分量 Y,两个 32x32 大小的色度分量 Cb 和 Cr;将 64x64 大小的亮度分量 Y 分成两个部分:左边亮度部分 LLUMA 和右边亮度部分 RLUMA,分时进行数据输入、滤波处理和数据输出;将两个 32x32 大小的色度分量 Cb 和 Cr 合成一个部分,即色度总量 CCBC,连续进行数据输入、滤波处理和数据输出;

(2) 去方块效应滤波器针对每个 8x8 大小的 CU 边界进行滤波处理;硬件片上存储器深度为 128 位,即每个地址存储一个 4x4 块大小像素值;

其中,数据输入、滤波处理和数据输出采用乒乓处理模式,即将 LLUMA 和 RLUMA 中任何一个 8x8 块的边界两个相邻 4x4 块存储在不同的存储器中,使用第零到第五共 6 块双端口存储器(SRAM0、SRAM1、SRAM2、SRAM3、SRAM4、SRAM5);这 6 块双端口存储器采用乒乓处理模式:首先,第零存储器(SRAM0)和第一存储器(SRAM1)读入 LLUMA 像素;然后,第零存储器(SRAM0)和第一存储器(SRAM1)中的像素进行去方块效应滤波处理,同时第二存储器(SRAM2)和第三存储器(SRAM3)读入 RLUMA 像素;最后,将第零存储器(SRAM0)和第一存储器(SRAM1)中的像素值输出,同时第二存储器(SRAM2)和第三存储器(SRAM3)读入 RLUMA 像素进行去方块效应滤波处理,第四存储器(SRAM4)和第五存储器(SRAM5)读入 CCBC 像素;依次循环直到所有 LCU 都处理完。

一种适用于 HEVC 标准的去方块效应滤波器的硬件片上存储方法

技术领域

[0001] 本发明属于数字高清视频压缩编解码技术领域,针对 HEVC 视频编解码标准,具体涉及一种适用于 HEVC 视频编码标准的、去方块滤波器的硬件片上存储方法。

背景技术

[0002] 作为下一代视频编解码标准,HEVC (High Efficiency Video Coding) 是于 2013 年由国际电信组织 (ITU) 和运动图像专家组 (MPEG) 联合成立的组织 JCTVC 所提出。其目标是,与上一代标准 H. 264/AVC 相比,在相同的视觉效果的前提下,比特率减少 50%。

[0003] 在 HEVC 中,一帧图像会划分成一个个最大编码单元 (LCU),其大小可以为 64x64,然后 LCU 会划分成更小的编码单元 (CU),其大小从 8x8 到 32x32。与 H. 264/AVC 类似,HEVC 使用基于块的预测变换编码方式。这种方式会导致块的边界像素值的不连续性,即块效应,从而影响视频的图像质量,并且会增大码流。统计数据表明,块效应将会使码流增大 1.3~3.3%,在某些情况会增大 6%。为了消除这种块效应,HEVC 使用了去块效应滤波器。

[0004] 去方块滤波器模块如图 1 中所示。首先判断一个 8x8 块边界是否是预测单元 (PU) 或变换单元 (TU) 的边界;如果是,则取该边界两边的 4x4 块像素进行进一步的判断和滤波。在去块效应滤波器中一共有两种滤波器:(1) 正常滤波器 (normal filter):4x4 块的每行上只有 1 个或 2 个像素值会发生改变;(2) 强滤波器 (strong filter):4x4 块的每行上最多三个像素值会发生改变。对每个边界具体使用哪种滤波器取决于该边界两边的 4x4 块像素的值的的大小。

[0005] 在去方块滤波器中,每个 8x8 块边界两边都有 8x8 块或 4x4 块。因此对每个 LCU 来说,其第一列 4x4 块需要用到右边 LCU 的最左边一列的 4x4 块,其第一行 4x4 块需要用到上边 LCU 的最下边一行的 4x4 块;并且由于其特殊的处理顺序,对每个 LCU 还需用到左上 LCU 的右下角的 4x4 块。

[0006] 在标准参考软件 HM10.0 中,去块效应滤波器先处理每个 LCU 的 8x8 块垂直边界,再处理水平边界。但是在硬件实现时,由于像素值是存储在存储器中的。如果是存储在片外存储器将会增大整个系统的功耗,并对片外存储器的带宽带来极大的压力,如果存储在片上存储器则要合理规划组织 LCU 的存储方式和位置,以提高系统的吞吐率。

发明内容

[0007] 本发明的目的在于提出一种处理时间短、吞吐率高的适用于 HEVC 标准的去方块滤波器的硬件片上存储方法。

[0008] 本发明提出去方块滤波器的硬件片上存储方法,具体步骤为:

(1) 在原始视频流中,将一帧图像划分为一个个 64x64 大小的 LCU;每个 LCU 有:一个 64x64 大小的亮度分量 Y,两个 32x32 大小的色度分量 Cb 和 Cr;将 64x64 大小的亮度分量 Y 分成两个部分:左边亮度部分 (LLUMA) 和右边亮度部分 (RLUMA),分时进行数据输入、滤波

处理和数据输出；将两个 32x32 大小的色度分量 Cb 和 Cr 合成一个部分色度总量(CCBC),连续进行数据输入、滤波处理和数据输出；

(2)去方块效应滤波器针对每个 8x8 大小的 CU 边界进行滤波处理；硬件片上存储器深度为 128 位,即每个地址存储一个 4x4 块大小像素值。

[0009] 其中,数据输入、滤波处理和数据输出采用采用乒乓处理模式,即将 LLUMA 和 RLUMA 中任何一个 8x8 块的边界两个相邻 4x4 块存储在不同的存储器中,使用第零到第五共 6 块双端口存储器:SRAM0、SRAM1、SRAM2、SRAM3、SRAM4、SRAM5；这 6 块双端口存储器采用乒乓处理模式:首先,第零存储器 SRAM0 和第一存储器 SRAM1 读入 LLUMA 像素；然后,第零存储器 SRAM0 和第一存储器 SRAM1 中的像素进行去方块效应滤波处理,同时第二存储器 SRAM2 和第三存储器 SRAM3 读入 RLUMA 像素；最后,将第零存储器 SRAM0 和第一存储器 SRAM1 中的像素值输出,同时第二存储器 SRAM2 和第三存储器 SRAM3 读入 RLUMA 像素进行去方块效应滤波处理,第四存储器 SRAM4 和第五存储器 SRAM5 读入 CCBC 像素；依次循环直到所有 LCU 都处理完。

[0010] 本发明的去方块滤波器的硬件片上存储方法,其架构如图 2 所示。该架构使用 6 双端口块存储器,形成两级映射和三个阶段并进行乒乓处理。两级映射分为逻辑映射和物理映射:

(1)逻辑映射:将 64x64 大小的亮度分量 Y 分为左右两个部分:LLUMA 和 RLUMA；将两个 32x32 大小的色度分量 Cb 和 Cr 合成为一个 CCBC；

(2)物理映射:将 LLUMA 中构成任何一个 8x8 边界的相邻 4x4 块存储在第零存储器 SRAM0 和第一存储器 SRAM1；将 RLUMA 中构成任何一个 8x8 边界的相邻 4x4 块存储在第二存储器 SRAM2 和第三存储器 SRAM3；将 CCBC 中构成任何一个 8x8 边界的相邻 4x4 块存储在第四存储器 SRAM4 和第五存储器 SRAM5；

三个阶段,依次分为数据输入(LOADING),滤波处理(FILTERING),数据输出(OUTPUT):

(1)数据输入:从片外存储器中读取 4x4 块并存储到片上存储器；

(2)滤波处理:从两个片上存储器各读取一个 4x4 块用于滤波,这个阶段包括垂直滤波和水平滤波,因此每个 4x4 块需要读取两次,处理完成后还需存储到片上存储器中；

(3)数据输出:每个 SRAM 上存储的 4x4 块都处理完后,将其输出到片外存储器中。

[0011] 依据两级映射,6 块双端口存储器 SRAM 使用乒乓处理模式,即在同一时刻,6 块双端口存储器 SRAM 分别处于不同的阶段。首先,第零存储器 SRAM0 和第一存储器 SRAM1 读入 LLUMA 像素,即处于数据输入阶段,其余存储器暂时空闲；然后,第零存储器 SRAM0 和第一存储器 SRAM1 中的像素进行去方块效应滤波处理,同时第二存储器 SRAM2 和第三存储器 SRAM3 读入 RLUMA 像素,此时第零存储器 SRAM0 和第一存储器 SRAM1 处于滤波处理阶段,而第二存储器 SRAM2 和第三存储器 SRAM3 处于数据输入阶段；最后,将第零存储器 SRAM0 和第一存储器 SRAM1 中的像素值输出,同时第二存储器 SRAM2 和第三存储器 SRAM3 读入 RLUMA 像素进行去方块效应滤波处理,第四存储器 SRAM4 和第五存储器 SRAM5 读入 CCBC 像素,此时第零存储器 SRAM0 和第一存储器 SRAM1 处于数据输出阶段,而第二存储器 SRAM2 和第三存储器 SRAM3 处于滤波处理阶段,第四存储器 SRAM4 和第五存储器 SRAM5 处于数据输入阶段。依次循环直到所有 LCU 都处理完。

[0012] 对于一个 64x64 大小的 LCU, LLUMA 和 RLUMA 中各有 136 个 4x4 块,而 CCBC 中有

144 个 4x4 块。因此在 LOADING 和 OUTPUT 阶段, LLUMA 和 RLUMA 分别需要 137 个周期, CCBC 需要 145 个周期。而 LLUMA 和 RLUMA 中各有 128 个边界, 而 CCBC 有 132 个边界。由于滤波需要多个周期, 因此在 FILTERING 阶段 LLUMA 和 RLUMA 中各需要 132 个周期, CCBC 中需要 136 个周期。

附图说明

[0013] 图 1 : 块效应滤波器的整体架构。

[0014] 图 2 : 去块效应滤波器的存储器组织方式。

[0015] 图 3 : 去块效应滤波器的存储器乒乓处理模式。

具体实施方式

[0016] 下面结合附图, 对本发明做进一步的描述。

[0017] 本发明提出了一种适用于 HEVC 的去块效应滤波器系统, 使用了特殊的的片上存储架构, 该架构如图 1 所示, 使用了 5 个双端口的存储器 SRAM0~SRAM5。这些存储器的存储组织管理如图 3 示。图 3 中每个小方框为一个 4x4 块, 其存储管理分为两级映射 : 逻辑映射和物理映射。

[0018] 首先是逻辑映射。

[0019] 一个 LCU 共 384 个 4x4 块, 在进行滤波时还需使用左边 LCU、上边 LCU 和左上边 LCU 共 17 个 LCU。其中前缀为 X、Y、L 和 R 为亮度分量的 4x4 块, 前缀为 C 和 D 为色度分量 4x4 块。X1~X3, Y0~Y3, L0~L3, R0~R3, C1~C3, D0~D3, C37~C39 和 D36~D39 是上边 LCU 的 4x4 块, Y4, X8, Y12, X16, Y20, X24, Y28, X32, Y36, X40, Y44, X48, Y52, X56, Y60, X64, D4, C8, D12, C16, D20, C24, D28, C32, D40, C44, D48, C52, D56, C60, D64, C68 是左边 LCU 的 4x4 块, X0, C0 和 C36 是左上角 LCU 的 4x4 块, 其余则为当前 LCU 的 4x4 块。

[0020] 在逻辑映射中, 将亮度分量前缀为 L 和 R 的 4x4 块作为一个单元, 映射为 LLUMA, 将亮度分量前缀为 X 和 Y 的 4x4 块作为一个单元, 映射为 RLUMA, 将色度分量前缀为 C 和 D 的 4x4 块作为一个单元, 映射 CCBC。同一个单元的存储, 处理等是同时进行的。

[0021] 其次是物理映射。

[0022] 根据 4x4 块存储位置的不同, 将逻辑映射的结果存储在不同的 SRAM 里。其中将 LLUMA 中前缀为 L 的 4x4 块存储在 SRAM0 里, 前缀为 R 的 4x4 块存储在 SRAM1 里; 将 RLUMA 中前缀为 X 的 4x4 块存储在 SRAM2 里, 前缀为 Y 的 4x4 块存储在 SRAM3 里; 将 CCBC 中前缀为 C 的 4x4 块存储在 SRAM4 里, 前缀为 D 的 4x4 块存储在 SRAM5 里。其中后缀数字为每个 4x4 块在相应 SRAM 里存储的位置。例如 C5 表示该 4x4 块存储在 SRAM4 的第 5 个位置里。SRAM0~SRAM5 都是双端口存储器。

下面结合附图 2 所示存储器的工作流程, 其具体实施可以分为如下的三个阶段 :

第一个阶段为 LOADING。

[0023] 在此阶段, 从片外存储器读取 LLUMA, 存储到 SRAM0 和 SRAM1, 每个周期读取一个 4x4 块, 偶数周期存储到 SRAM0 里, 奇数周期存储到 SRAM1 里。

[0024] 第二个阶段为 FILTERING。

[0025] 在此阶段, 对 LLUMA 部分的边界进行滤波, 每个周期从 SRAM0 和 SRAM1 的一个端口

读取一条边界的两个 4x4 块, 对其进行流水处理滤波处理, 处理完之后从另外一个端口写回; 同时在此阶段还从片外存储器读取 RLUMA, 存储到 SRAM2 和 SRAM3, 每个周期读取一个 4x4 块, 偶数周期存储到 SRAM2 里, 奇数周期存储到 SRAM3 里。

[0026] 第三个阶段为 OUTPUT。

[0027] 到此阶段时, LLUAM 已全部滤波处理完。因此, 此阶段将 LLUMA 输出至片外存储器, 每个周期输出一个 4x4 块, 偶数周期从 SRAM0 读取 4x4 块进行输出, 奇数周期从 SRAM1 读取进行输出。同时在此阶段对 RLUMA 部分的边界进行滤波, 每个周期从 SRAM2 和 SRAM3 的一个端口读取一条边界的两个 4x4 块, 对其进行流水处理滤波处理, 处理完之后从另外一个端口写回; 在此阶段还从片外存储器读取 CCBC, 存储到 SRAM4 和 SRAM5, 每个周期读取一个 4x4 块, 偶数周期存储到 SRAM4 里, 奇数周期存储到 SRAM5 里。

[0028] 第三阶段处理完之后回到第一阶段, 读取下一个 LCU 的 LLUMA。同时输出当前 LCU 的 RLUMA, 并对当前 LUC 的 CCBC 进行滤波处理。

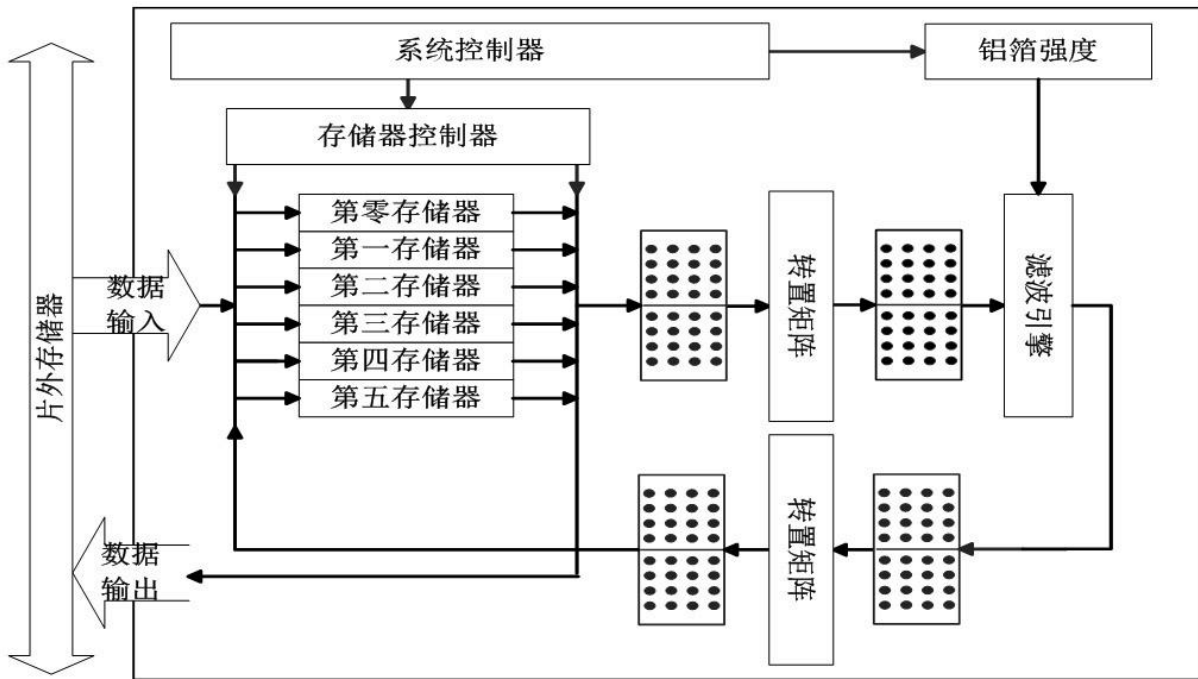


图 1

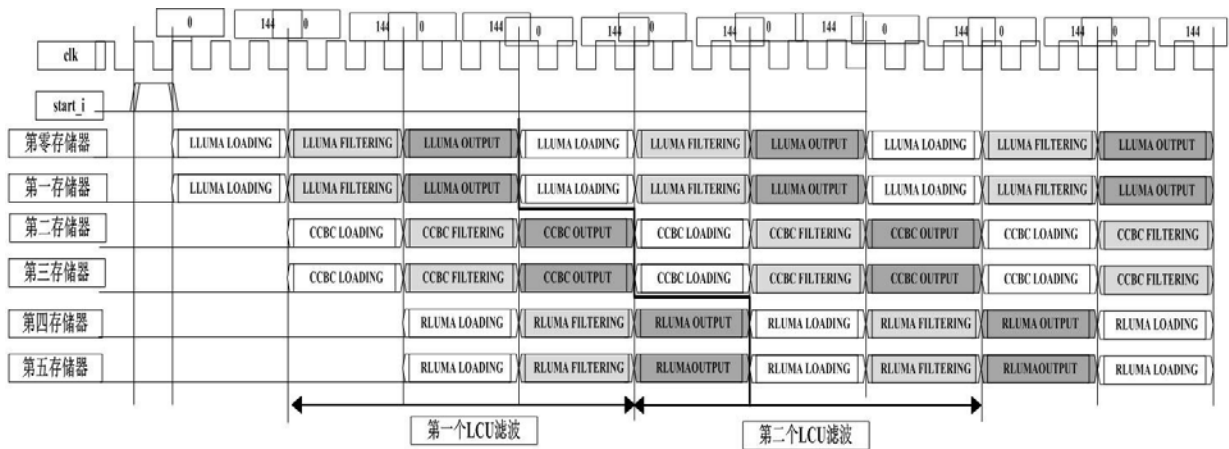


图 2

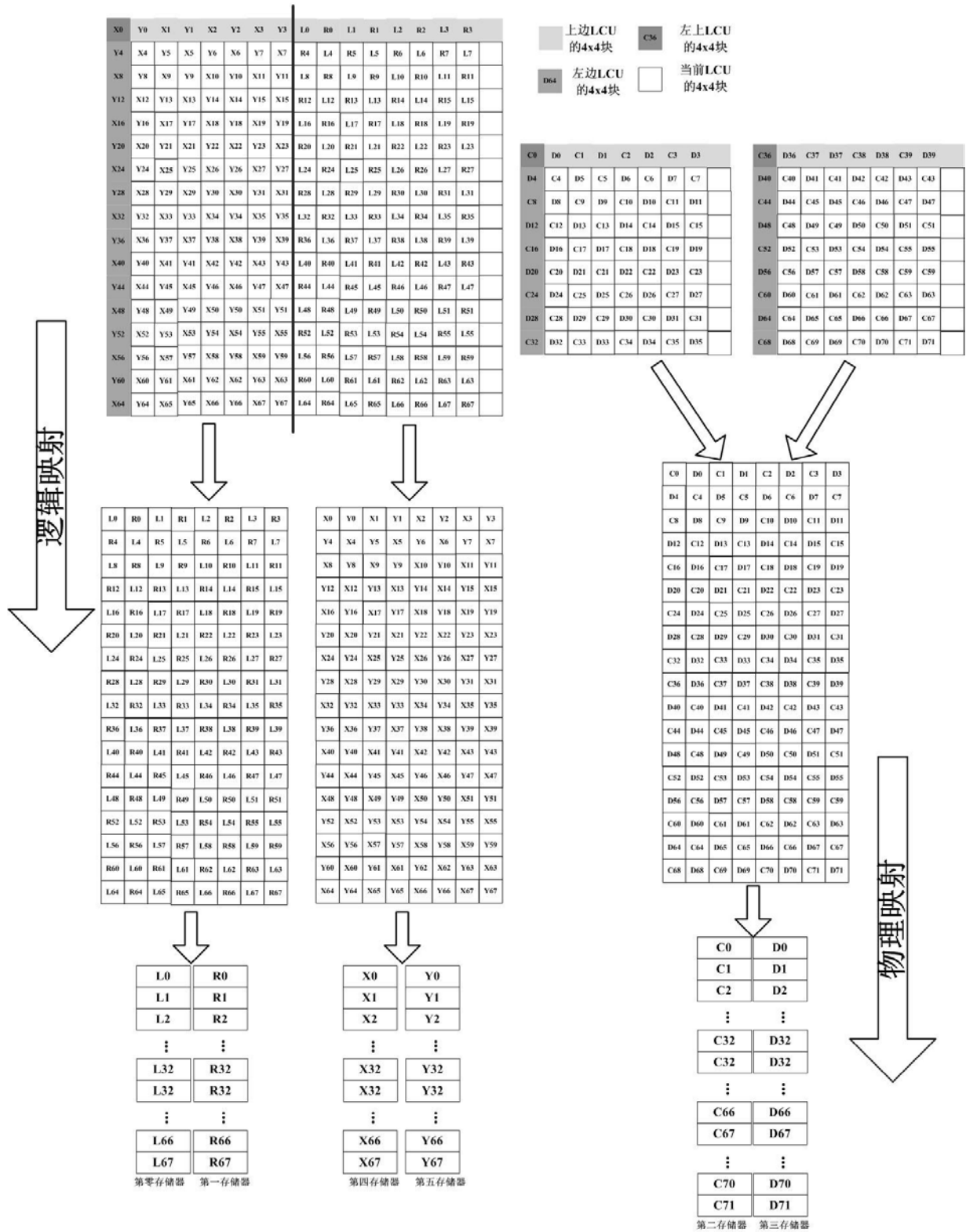


图 3