

SOC设计和Cadence 硬件加速器

Qin Hu

2016/03

现代SOC芯片特点

特点

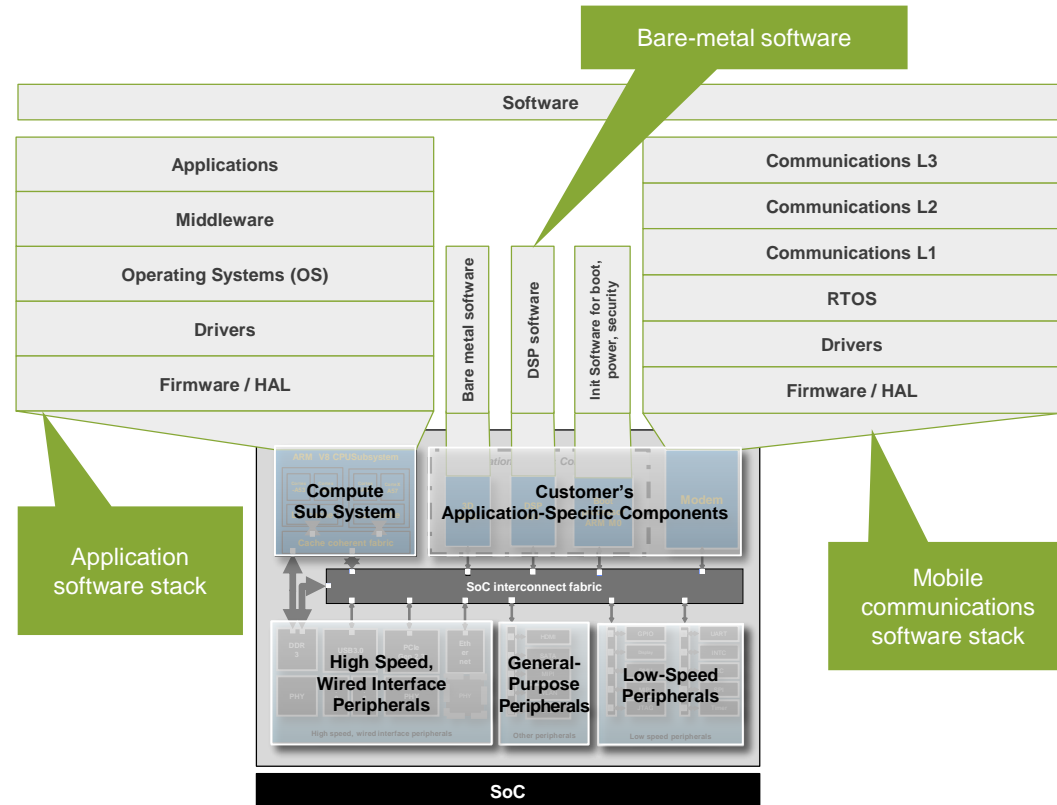
- 设计规模越来越大，越来越复杂
 - 很多的IP(自己的或者第三方的)
 - 复杂的总线层次架构，etc。
- 很高的功耗要求，很复杂的电源和时钟特性
- 涉及到多层次的软件 –OS, Application , Baremetal, Driver
- 应用的场景复杂多变
- 上市时间的压力

传统的仿真工具和技术在针对大型的复杂SOC芯片设计验证方面有它的瓶颈和限制, 比如：

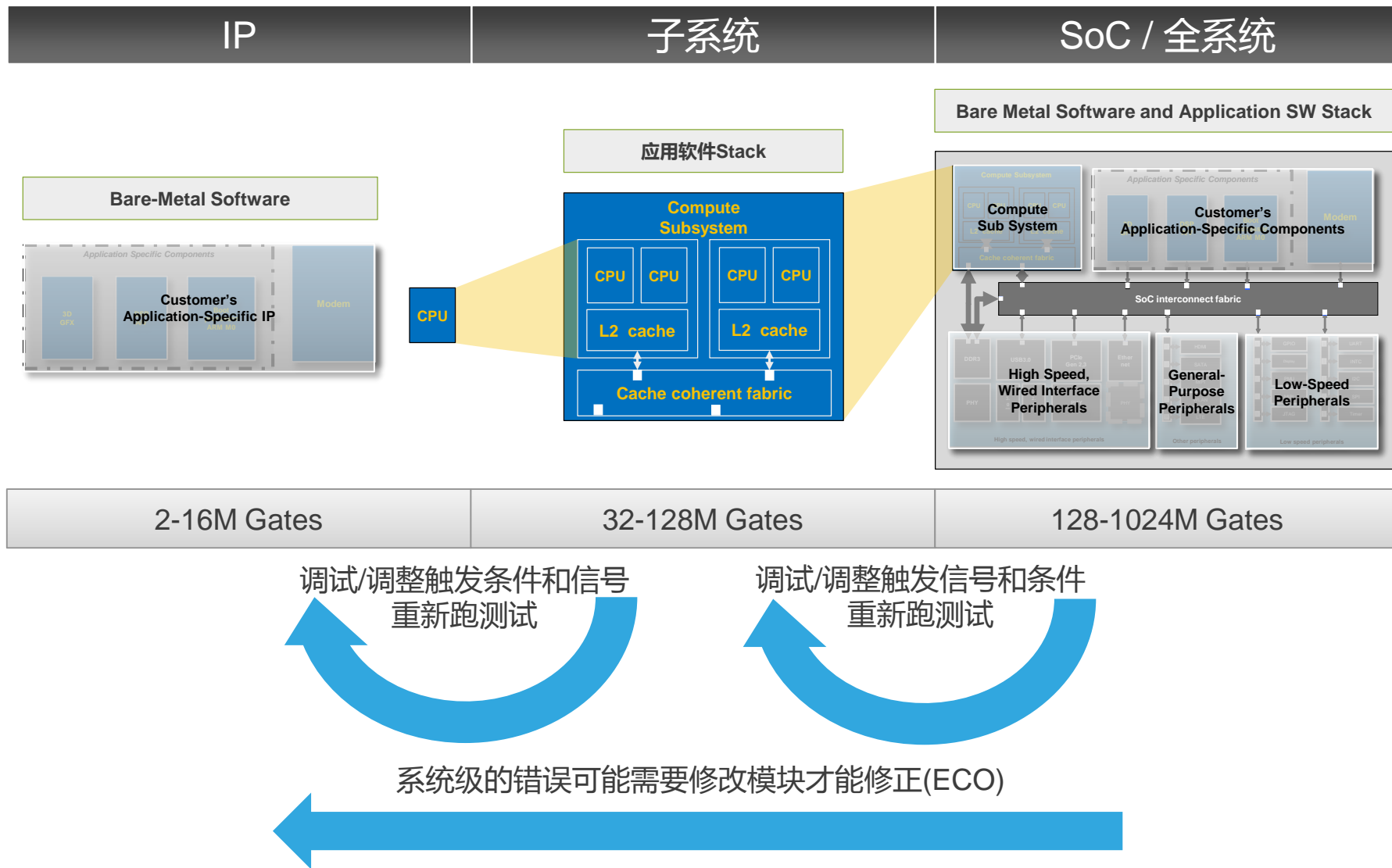
- 设计越大，越复杂，仿真性能越差
- 软硬件协同开发验证的效率低
- 难构造足够且复杂的应用场景

现代SOC芯片系统

- 多种IP
 - 各种标准接口 I/O : WiFi、USB、PCI Express® (PCIe®) 等等。
 - 系统基础部件 : 互联、中断控制、uart , 定时器
 - 独特性 : 定制化的加速器、调制器...
- 多个处理器核
 - 对称和不对称
 - 同种和不同种
- 各种软件
 - 核心功能部分 : 通讯堆栈 (stack)、DSP 软件、GPU 微码...
 - 用户应用软件载体 : Android、Linux...



SOC 系统验证



为什么需要Emulator？

和传统的软件仿真相比，越大越复杂的设计，Emulator的验证性能和效率越明显——大大提升验证效率和降低芯片投片失败的风险

- 在有限的时间内，可以跑长更多的测试用例
- 在早期就开始开始相应的软件开发和软硬件协同验证
- 加速
- 在相对早期就能在“真实”的应用环境中去测试各种功能和特性

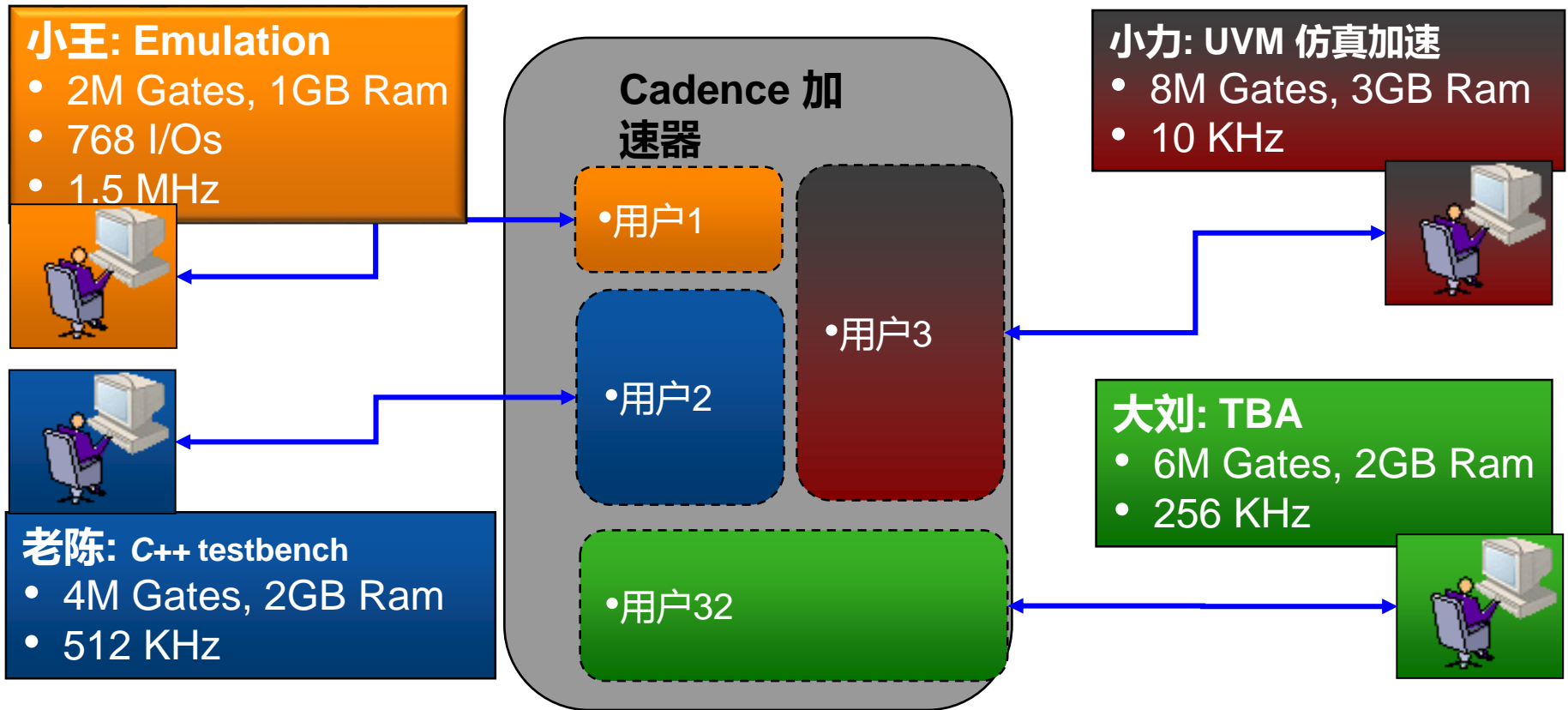
Emulator 生产力的几个要素

- 是否易于环境搭建
 - 软件易用性
 - Compile 效率
 - 快速定位问题能力
 - 支持的Memory model 种类多少
 - 支持的物理接口种类的多少
- 是否易于问题调试
 - 触发条件设置灵活性和支持同时触发条件数目
 - RTL信号名是否保留且全部可见，一次可抓取的信号深度大小
- 使用效率
 - 逻辑实际使用效率
 - 一定容量可支持的并行用户数量
 - 支持的应用场景多少

Cadence 硬件加速器的特点

- 软件容易上手，易使用
- 业界最快的Compile效率 – 单核每小时最高1亿4千万门的编译效率
- 快速定位问题能力
 - 不影响性能的前提下支持全信号(RTL net,wire,register 名保留) 可见，且一次可抓取最多400万个时钟周期的波形。
 - 动态抓取部分信号的时候可支持最多8000万个时钟周期的波形
 - 超过1000多种的通用Memory model，包括不同规范的DDR2，3，4，EMMC,NAN Flash 等
 - 支持20多种类型的外接降速桥
- 易于问题调试
 - 修改触发条件或信号后不需要重新编译和综合，最多可支持16个并行的触发条件
- 极高的使用效率
 - 标称容量接近实际资源利用率，门级和RTL级对实际利用率几乎无差异
 - 每个用户的最小容量是4百万门，在一定的容量下，支持的用户数最多
 - 支持各种仿真加速，DPA,功耗预估，低功耗验证等22种使用模式

多用户 ---加速器的使用效率和验证效率

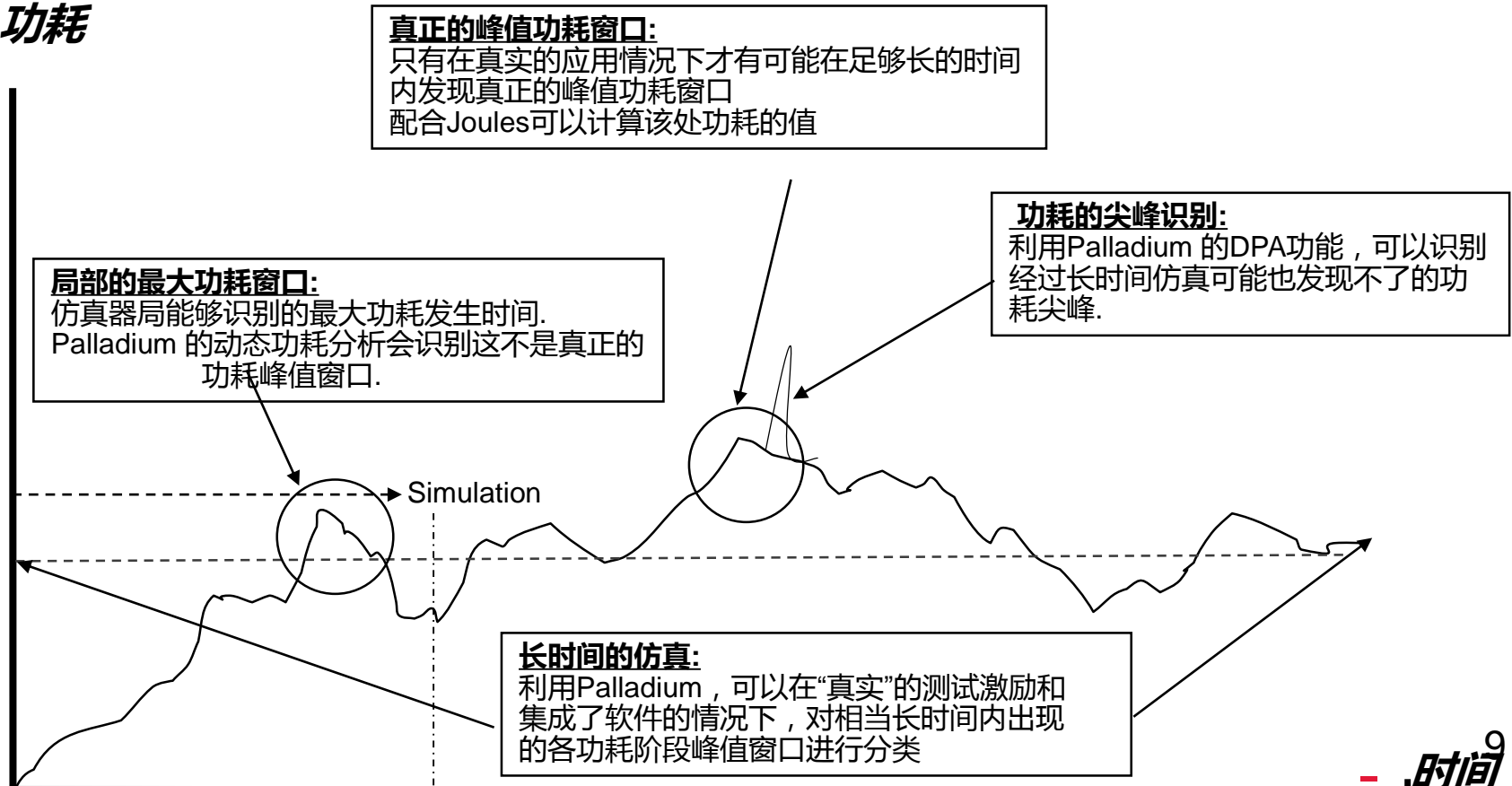


- 每个用户都是独立的
- 不限制每个用户的使用模式
 - 仿真加速, in-circuit emulation, 软件调试, Driver 开发, 等

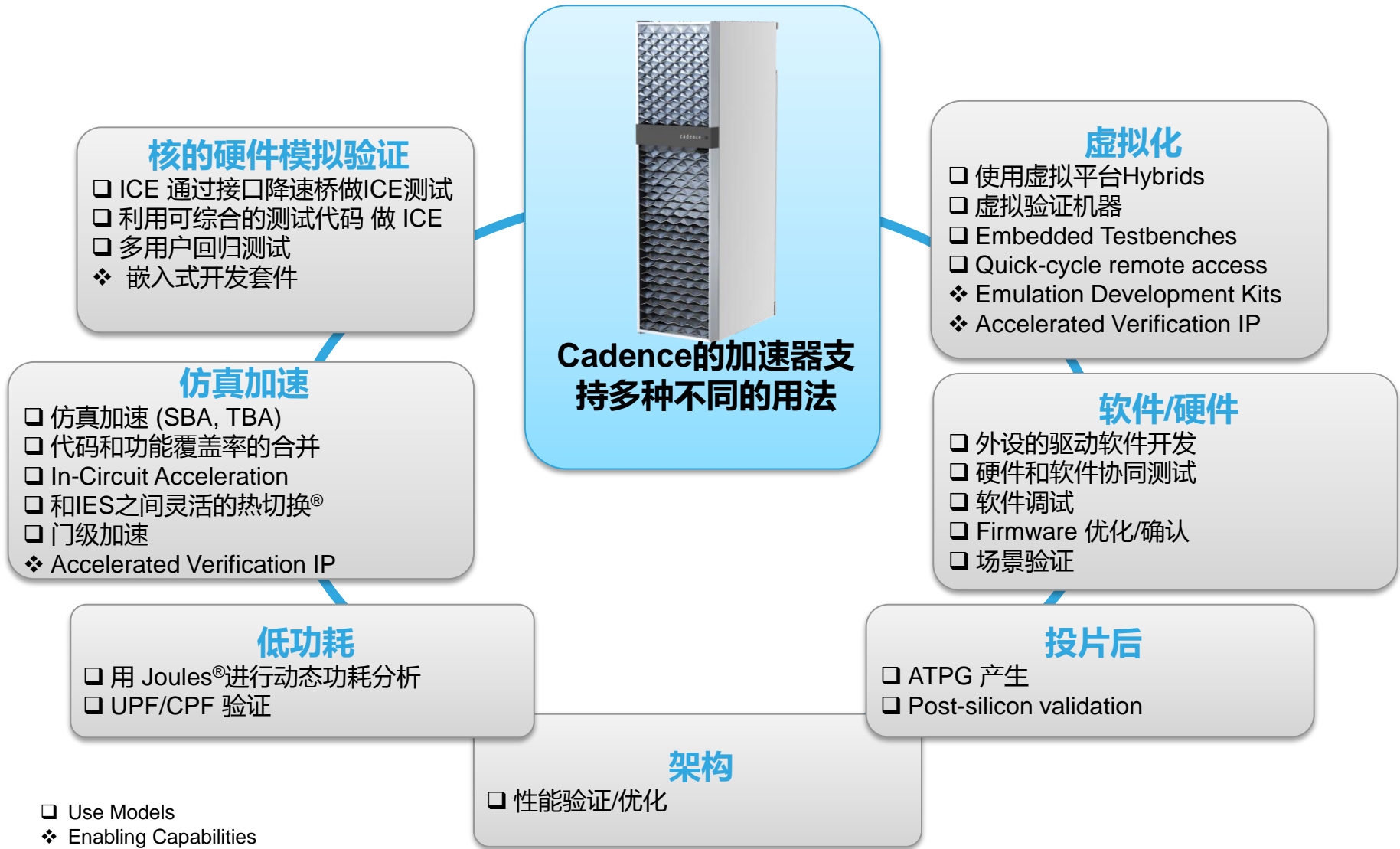
利用Cadence加速器进行功耗验证和分析

- 支持CPF,和1801
 - 和软件结合，在投片前就可以测试各种功耗管理模式
- 动态功耗分析

功耗



Cadence加速器的应用场景



- ❑ Use Models
- ❖ Enabling Capabilities

cā dence®

© 2015 Cadence Design Systems, Inc. All rights reserved worldwide. Cadence and the Cadence logo are trademarks of Cadence Design Systems, Inc. in the United States and other countries. All other trademarks are the property of their respective owners and are not affiliated with Cadence.