

Cadence Palladium Z1 企业级 硬件仿真加速平台

为高适应力、强扩展性及高效生产率量身打造

作为 Palladium XP 系列的后继产品，Cadence® Palladium® Z1 是迄今为止最先进的企业级硬件仿真加速平台。新产品令最顶尖的硬件仿真加速和电路仿真技术在一个平台内实现完美融合，系统密度超过上一代平台达 8 倍，并针对多用户仿真吞吐量和效率进行了优化。新平台拥有独一无二的大规模并行处理器计算引擎，加上软件的自动化，进一步实现了 SoC、子系统和 IP 模块的验证加速；同时，系统级验证也更加快速，助力企业在保证产品质量和性能的基础上缩短开发周期。基于 服务器机架 结构的平台易于管理和扩展，可以方便快捷地将其部署在数据中心，并且可以供分布在全球各地的团队进行远程接入。

简介

携手 Palladium Z1 平台向上扩展，为高适应力，强扩展性及高效生产率量身打造。该平台在业界率先配置包括动态外设重定位和灵活任务分配机制在内的多项新特性，实现系统资源的最高效利用。对比其它竞争解决方案，Palladium Z1 平台还可在单一环境中全面提升仿真吞吐量和生产效率：

- 单个工作站编译速度高达 140MG/hr
- 其分配机制可以实现资源最佳利用
- 运行时性能高达 4MHz
- 上传速度更快
- 调试除错能力进一步增强

与已经功成名就业界顶尖的 Palladium XP 平台相比，该平台基于处理器的计算引擎和 Verification Xccelerator Emulator (VXE) 软件的编译速度可提升最高 2 倍，可以运行对性能要求更高的验证，助推使用超越传统硬件仿真加速、更加灵活的新模式。Palladium Z1 平台进一步优化系统设计与验证，配置多种新特性，包括高达 92 亿逻辑门容量、高级除错及覆盖率支持、硬件/软件协同验证和使用验证虚拟机 (VVM) 进行交互式离线除错，同时支持动态功耗分析 (DPA)、软硬知识产权 (IP) 和度量驱动的验证。

系统级验证的挑战

SoC / ASIC 的设计尺寸不断增大，且结构愈加复杂，传统验证工具的更新已经跟不上前者的发展步伐，造成硬件/软件验证差距的不断扩大，限制了可重用性和生产效率，增加了重



图1: Palladium Z1 平台系统

新流片和开发进度拖延的可能性。随着 RTL / gate 设计尺寸的增加，传统的硬件仿真加速器速度会极大减慢，造成硬件/软件（系统）集成延迟，整体验证周期延长。

由于 IP 模块和其他组件的数量增加，SoC 设计也会更加复杂（见图表 2）。随着系统复杂性的提高，硬件/软件交互无法得到充分验证的风险也会随之增加，而性能可扩展则是消除这些风险的关键。传统的硬件辅助验证工具会偏离原生验证环境，而且学习曲线陡峭、设置时间冗长、除错困难，还有不易重用的问题。此外，不重新编译的情况下，很难实现仿真验证，仿真加速和硬件仿真加速环境的平滑过渡。

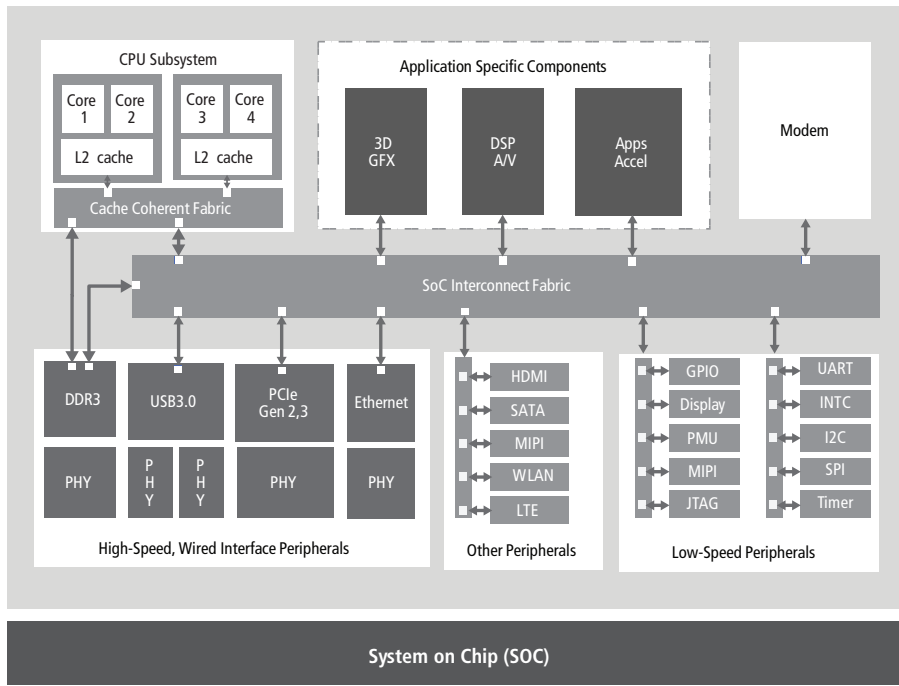


图2: SoC设计包含软件和硬件

提高生产效率

一个优良验证引擎的生产效率主要由以下四个决定性因素进行衡量 (图表3) :

1. 构建: 在硬件仿真加速器上运行之前, 你可能要因为数百万门的设计尺寸而花费数小时/数天的时间对设计进行编译, 而且通常还需要占用多个主机资源。但如果可以缩短编译耗时, 整体验证时间也可以缩短, 就可以在分配的验证时间内增加设计变化的数量。

使用高级 VXE 软件功能, Palladium Z1 平台上一个工作站就可以实现 140MG/hr 的编译速度, 有助于在一天内实现多个设计转变。

2. 分配: 仿真资源非常宝贵, 但多个用户又都想进入系统完成各自的验证工作。高效的资源管理可以最大化系统同时运行的任务数量。在资源无浪费或浪费最小的前提下, 任务分配的系统粒度对确定在系统上运行的并行任务的数量起着很重要的作用。在实际应用场景下, 不同的任务通常会在不同的时间内完成, 这样就会在系统的不同部分产生新的可用资源。

动态任务分配以及再分配等特性可以为新的任务简化资源配置, 甚至还能重新对正在运行的任务进行分配, 最大程度的保证利用效率。

Palladium Z1 平台在业内率先配备了先进的再构造、再分配以及外设重定位再分配能力, 可以极为高效地管理系统资源, 实现高利用率。得益于业内最先进的 4MG 任务尺寸粒度, Palladium Z1 平台还能实现任务的高度并行化, 使得同时运行从 IP 模块到子系统再到系统级设计的多个任务成为现实。

3. 运行: 一般情况下, 运行时性能是决定系统生产效率最重要的参数, 但诸如运行时调试等其它因素, 也可能不会对运行时性能产生重大影响。系统支持多种使用模式对使用模式多种功能的支持, 可以确保验证过程能够涵盖硬件—软件集成相关的所有要素。完整的接口支持可以实现主要协议的全面覆盖, 速率适配器或专门针对硬件辅助的定制 IP 验证可以在流片和硅可用之前对设计进行彻

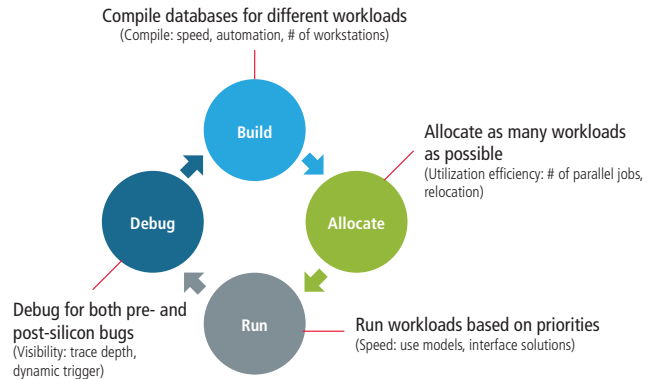


图 3: 衡量验证引擎生产效率的四大要素

彻底验证, 避免后期意外, 并缩短上市时间。

Palladium Z1 平台的运行时性能高达 4MHz, 可以快速运行设计, 鉴别设计存在的潜在问题。

4. 调试: 系统调试主要分运行时调试和离线调试两种。良好的功能设置以及较深的追踪深度和动态触发可以帮助在运行时找到漏洞, 节省宝贵的时间, 并直接缩短上市时间。和业内其他很多系统不同的是, 启动运行时调试时, Palladium Z1 平台的运行时性能不会出现剧烈下降。另外, 离线调试能够捕捉运行记录, 并将捕捉到的数据在线下进行调试, 为其他的任务释放宝贵的仿真资源。实现生产效率最大化最关键的就是: 离线模式能够拥有在线调试的大部分功能设置。例如, 触发事件、灵活捕捉触发器和存储器的状态可以让你高效地进行离线调试。

Palladium Z1 平台在在线和离线模式下都具备领先的调试能力, 通过使用 FullVision、InfiniTrace、动态探针、SDL 触发以及顶尖的新型 VVM, 可以在多数在线调试功能可用的情况下进行高效离线调试。

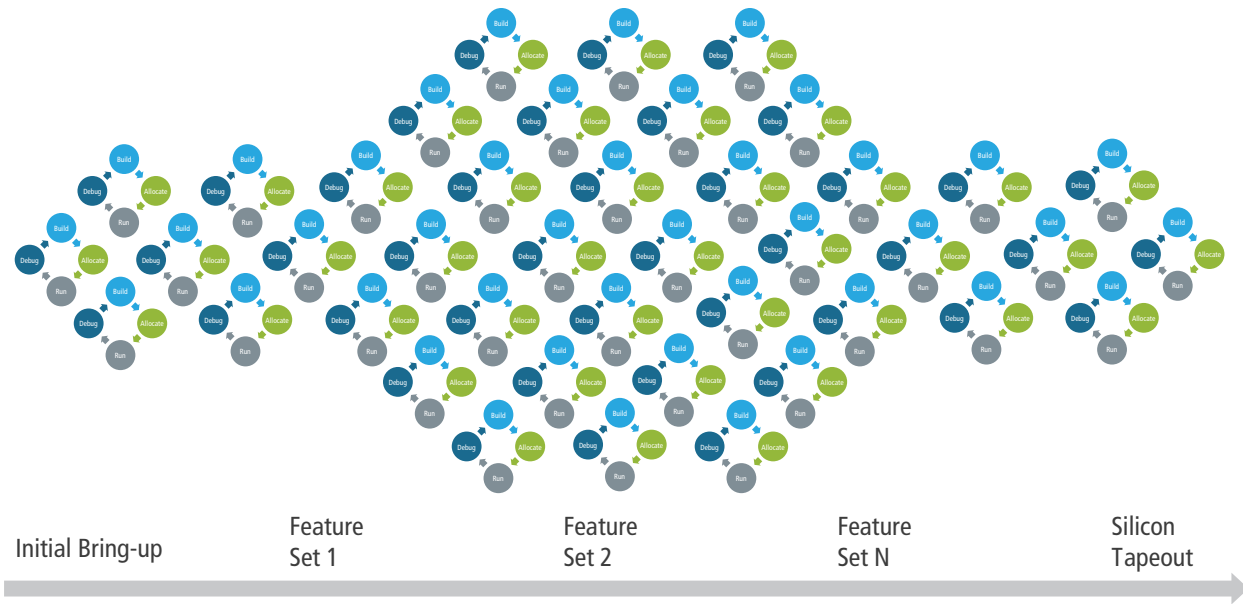


图4: 产品设计和验证阶段的验证环路

此方案下，每次设计转变都要经历构建、分配、运行和调试的完整周期。一个项目通常由多个阶段组成，包括 IP 模块验证、单个 IP 模块集成、组件子系统、将多个子系统整合成完整系统、硬件设计上的软件初启，以及最后的流片阶段（图表 4）。为了不出差错地及时把 SoC 推向市场，按照项目的不同阶段，需要同时展开环路（构建、分配、运行和调试）中的多个迭代。任何一个阶段节省出来的时间增量都会大大缩短总体设计周期。

有了 Palladium Z1 平台，你就可以拥有迅速的灵活编译、极其高效的分配、快速的运行时间以及全方位的调试能力，进而快速全面地对设计进行验证，最终可以自信地让这些设计进入流片。

IP 到系统级验证解决方案

为了跟上高级 SoC 发展的要求、消除硬件 / 软件验证的差距，Palladium Z1 可谓业内最全面的验证解决平台。通过利用本地统一的硬件仿真加速环境，Palladium Z1 平台进一步优化验证流程，强化验证能力，消除加速和仿真障碍。这样的环境也令 Cadence Incisive® 仿真器用户可以在无需再编译的前提下，实现仿真到仿真加速，或者运行时仿真环境的热交换（图表 5）。Palladium Z1 平台可用于多种设计和验证阶段——从初期的架构分析，到模块、芯片和系统集成，再到软件开发与系统验证。

Palladium Z1 平台的强化功能超越了传统的加速与硬件仿真加速使用模型。它通过以下方式支持使用模式，提高仿真生产效率：

- Metric-driven verification (MDV) acceleration
- Hardware verification language-based testbench acceleration
- In-circuit emulation (ICE)
- In-circuit acceleration (ICA)
- Universal Verification Methodology (UVM) acceleration
- Vector-based acceleration (VBA)
- Comprehensive coverage capabilities
- Power shutoff verification (PSO)
- Dynamic Power Analysis (DPA)
- 用于RTL and gate level emulation 的其它技术(图6)

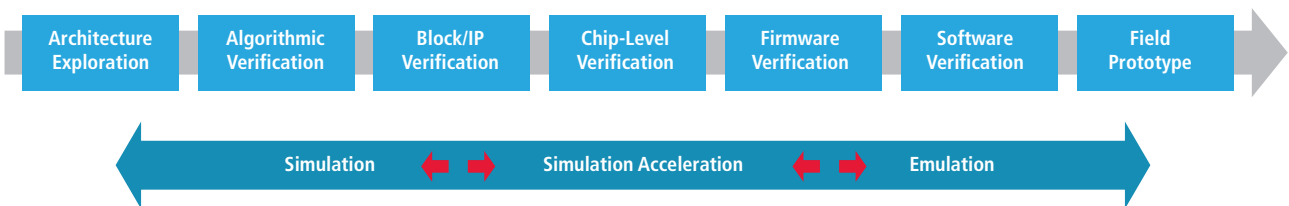


图 5: Palladium Z1 平台提供强化的一体化流程，用户可以在仿真验证、仿真加速以及更高性能和强化调试的硬件仿真加速之间进行转换。

Palladium Z1 的特性

特性	优点
最大的可扩展性与多功能性	<ul style="list-style-type: none"> 实现集中或本地验证计算，资源可扩展，高达 92 亿门的能力可为单一用户或多达 2304 名用户同步提供服务。 可在多个抽象级支持多样且可执行的功能模型（C/C++、SystemC®、指令集或周期精确性、硅、RTL、门级）
灵活性最大	<ul style="list-style-type: none"> 动态任务再分配可以在相邻系统上灵活地移动任务，调节新进入的任务，让系统的利用率 and 生产效率达到最大。 动态目标再分配几乎能用于任何选定目标，不需要重新布设实体电缆，实时流量下的设计验证具备全面的灵活性。
无与伦比的验证计算生产效率	<ul style="list-style-type: none"> 通过快速、自动化、智能的编译器实现快速初启，包括一系列行为构建支持以及仿真和硬件之间的行为一致（匹配）
设计初启可预测性更佳	<ul style="list-style-type: none"> 用“热交换”提高运行时的可预测性，实现加速或硬件仿真加速以及最灵活的使用模型 用全方位且经过证实的 Cadence SpeedBridge® 产品套装（包括用于标准协议的硬件速率适配器）以及 Accelerated VIP 实现快速系统级初启 用仿真开发工具包（EDK）实现软件/固件/驱动的初期开发与验证

特性	优点
平台扩展	<ul style="list-style-type: none"> 在硬件验证 / 硬件设计语言的覆盖和强化中支持 MDV 加速 全面支持用于标准协议的硬 / 软验证 IP 通过 DPA 选项和电源切断等功率验证技术强化系统级低功耗分析
卓越的调试能力	<ul style="list-style-type: none"> 支持 SDL 触发、FullVision、动态探针、InfiniTrace 和验证虚拟机 (VVM) 等高级调试功能，鉴别设计漏洞

全方位的企业硬件仿真加速平台

Palladium Z1 计算引擎由高级自定义处理器网格组成。该处理器网格使 Palladium Z1 平台得以支持高达 92 亿 ASIC 门级的设计容量、支持单用户或同时支持多达 2304 个用户，能以 4MHz 高速运行，并配有 18.4TB 的内置存储。

Palladium Z1 平台的 VXE 软件集成了仿真、仿真加速及单一环境仿真功能，可以实现快速初启、具备杰出的调试和热交换能力，可以在单一工作站实现快速、全自动且可以预测的设计编译。

灵活的资源分配与模型支持

Palladium Z1 平台为企业提供灵活性最佳的验证计算资源。它可以支持多个任务同时运行，包括加速与硬件仿真加速混合进行的任务，并且不会对其他任务产生影响，因此可用于多个项目 / 试验。你可以对等待回归或交互使用的任务进行设置，并将任务重新分配至其他可用的对称分配的资源，而无需再次编译。另外，如果项目需要拓展，则可以对按需提出的资源分配请求进行响应。

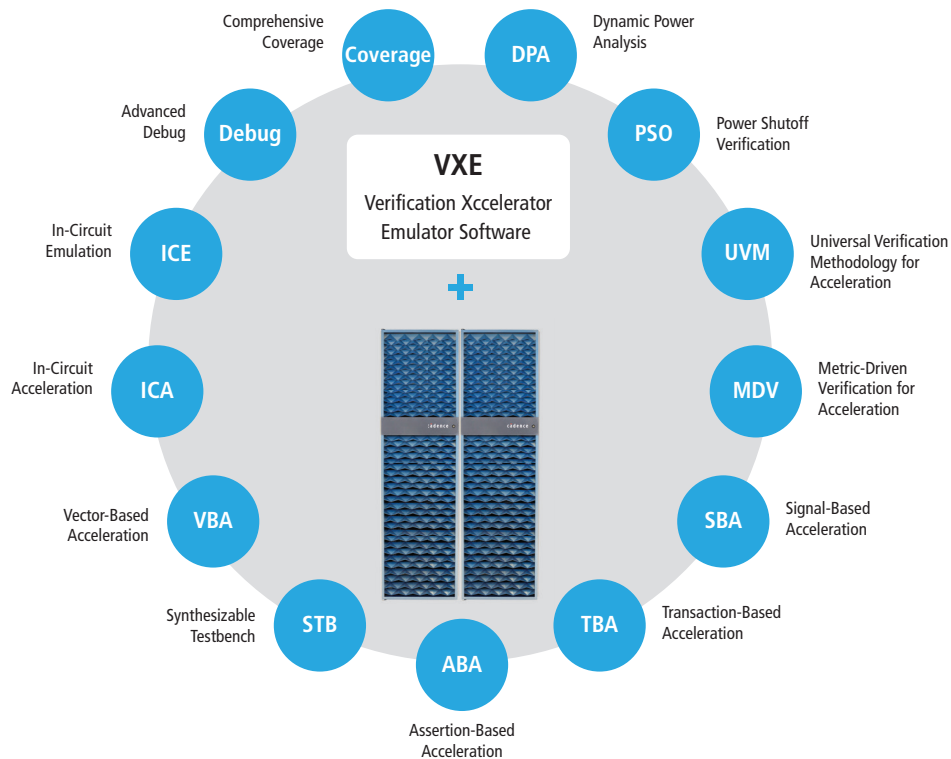


图 6: 下一代 Palladium 平台拥有用于硬件/软件协同验证的全面使用模型，以及从 RTL 到门级设计的系统实现

有了动态任务再分配能力，就可以用 Palladium Z1 平台将新进入的大型任务分配到系统的非连贯部分中，以充分利用系统资源。不同的任务通常会在不同的时间点完成，所以系统使用中就会出现间隔，导致使用效率的下降。但是 Palladium Z1 平台可以让你把现有的任务无缝移动至系统临近的其他部分上。

Palladium Z1 平台在业内率先引入动态目标再分配，它在目标间转换的灵活性可以实现内部电路硬件仿真加速的全部优势。系统任何一部分上运行的任务都可以与任一目标连接，同时不需要重新布设任何实体电缆，远程用户也可以轻松地用多个界面完成设计验证。

高度灵活的验证平台对快速装配 SoC 十分重要。Palladium Z1 平台在性能、准确性、可用性、重用性、硬/软 IP、及支持旧有环境要求的基础上，可以迅速集成多个提取 IP 模型。平台支持业内所有通用的界面标准，比如标准协同仿真建模界面 (SCE-MI)、SystemVerilog DPI 和虚拟界面 (VIF)，为系统级验证环境的拓展提供更高的灵活度。

由于 Palladium Z1 平台可以同时支持不同类型的 IP、测试器、调试器和测试激励生成器，所以开发时间大大缩短 (图表 7)。你可以为定向的、受限带约束的随机的或 MDV 环境全面验证系统与真实环境和/或测试台的交互，同时大大提高仿真吞吐量。

功耗分析

Palladium Z1 平台提供系统级功耗验证，通过集成式的 Cadence SimVision™ 波形查看器和日志文件信息，它可以读取共用副文件，帮助你验证功率意图。

- **动态功耗分析 (DPA):** 在长时间运行中识别仿真通常捕捉不到的“真实峰值”。在 Palladium Z1 平台上集成的 Cadence Genus™ 综合解决方案功率估算引擎，是首个高性能、且周期精确的集成解决方案，可以带来硬件/软件设计的全系统功率分析。
- **Unified Power Format (UPF/IEEE1801) 和 Common Power Format (CPF):** 明确 UPF/IEEE1801/CPF 中的低功耗意图，这样低功耗活动就可以被捕捉并显示在波形中用于调试排错。同时帮助包括电源关闭 (PSO) 后的存储/触发器内容随机化等在在内的高效率低功耗验证。使你完成 UPF-/CPF-aware DPA 任务，进行真实的功率分析。

高级调试

Palladium Z1 平台通过易于操作的高性能调试强化了设计调试流程。平台的高级调试能力可以支持硬件/软件协同验证以及多种断言语言。

特性	详述
FullVision	<ul style="list-style-type: none"> • 运行时间内通常可以快速全面地在任何网络上看到多达两百万样本
动态探针	<ul style="list-style-type: none"> • 多达 8 千万样本的快速波形上传 • 运行前选择信号进行分析
InfiniTrace	<ul style="list-style-type: none"> • 无限追踪-捕捉深度 • 可以恢复到任意一个检查点，并在此重新开始仿真

特性	详述
状态定义语言 (SDL)	<ul style="list-style-type: none"> • 事件设置可以有简单或复杂的触发 • 生成动态网表，获得没有重复编译的精确触发机制
保存与复原	<ul style="list-style-type: none"> • 节约宝贵的周期时间，从“保存”点恢复运行 (例如，实现操作系统启动)
虚拟验证机 (VVM)	<ul style="list-style-type: none"> • 在运行时间内将长时间踪迹捕捉到离线数据库中，以便在之后进行调试 • 捕捉 FF/内存状态，可以使用 SDL 设置触发器，并在离线模式下观察有意思的场景

生态系统支持

- 硅可用之前针对系统级和应用软件测试的验证 IP (VIP)、加速 VIP 和内部电路仿真，包括对连接现实系统与设计的 SpeedBridge 硬件适配器产品全兼容性进行硬件仿真加速，提供简单直接的集成。
- Cadence Joules™ RTL 功耗解决方案与 Palladium 硬件仿真加速平台无缝集成，可进行早期 RTL 功耗分析和 Cadence Joules™ 优化
- 软硬件混合环境，可用 RTL/网表进行高效的硬件/软件调试、更快的启动和早期软件/系统验证
- MDV 加速和内嵌式测试台使你遵循全面的收敛方法，提高验证可预测性、生产能力和质量
- 用于快速设计的 Cadence Stratus™ 高层次综合 (HLS) 和抽象 SystemC、C 或 C++ 的高质量 RTL 验证可以提供 10 倍于传统 RTL 设计的生产效率，并将 IP 开发周期从数月缩短到数周
- Cadence Perspec™ 系统验证器基于案例的验证可以把复杂的系统级覆盖驱动测试开发时间从数周减少到数天

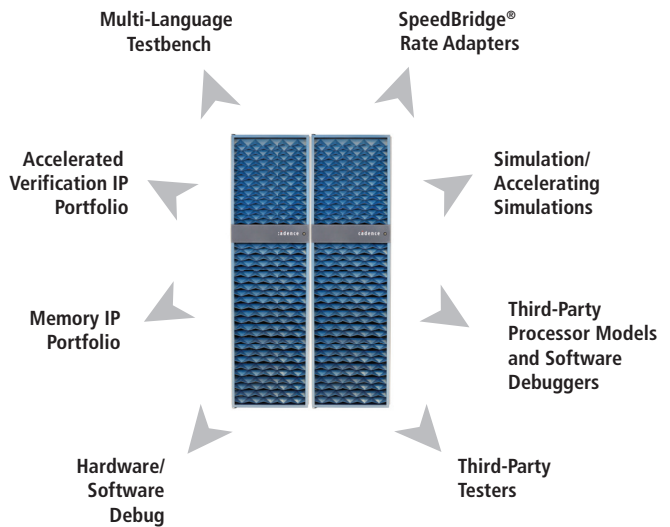


图7: 下一代 Palladium 平台上可以同时使用不同类型的模型

支持工作站与操作系统*

- X86 指令集架构工作站
- OS 类型: Linux
 - RHEL 6 (64-比特)
 - SuSE 11 (64-比特)

* 如有修改, 不作另行通知, 请向您的 Cadence 代表咨询最新信息和其他细节。

Cadence 服务与支持

- Cadence 应用工程师可以通过电话、邮件或网络解答您的技术问题。另外, 他们还可以提供技术援助和客户培训服务。
- 获得 Cadence 资质认证的教员教授的课程数量超过 70, 能够将实际应用中的经验带到课堂上。
- 超过 25 个网络学习系列 (iLS) 中的在线课程可以让你通过网络在自己的电脑上灵活接受培训。
- Cadence 在线支持让你在每天 24 小时内都可以进入知识库, 里面有最新的解决方案、技术文件、软件下载等内容。

参数

	Palladium Z1 (XL)	Palladium Z1 (GXL)
可扩展能力以及 I/O	<ul style="list-style-type: none">• 容量: 高达 61 亿门• I/O: 高达 147,456• CMOS 3.3V, 2.5V, 1.8V, 1.5V, LVDS, HSTL, SSTL	<ul style="list-style-type: none">• 容量: 高达 92 亿门• I/O: 高达 221,184• CMOS 3.3V, 2.5V, 1.8V, 1.5V, LVDS, HSTL, SSTL
默认专用的用户内存	高达 12.3TB	高达 18.4TB
同步用户	1 到 1536 个用户	1 到 2304 个用户
Architecture	Custom advanced processors	
设计格式和语言支持	<ul style="list-style-type: none">• HDL: RTL (VHDL, Verilog, SystemVerilog) 和门级网表• HVL: C++, SystemC, Specman e, SystemVerilog 和通用验证方法 (UVM) 加速• 断言: System Verilog 断言 (SVA)、属性描述语言 (PSL), 断言验证库 ILA 和开放 Verilog 验证库 (OVL)	
内存转化和内存模型组合 (MMP)	<ul style="list-style-type: none">• 选择内存安置、压缩、挤压、读端口分裂以及合并等• 全面的组合可以支持最符合行业标准的内存模型	
硬件/软件界面、连接第三方工具/IP/环境	<ul style="list-style-type: none">• 多个标准: SCE-MI 2.X 和 TLM 支持• 最全面的针对标准协议的 SpeedBridge 和加速 VIP 组合, 可支持大多数细分市场• 针对具体应用的界面: C/C++, PLI, VPI, SystemVerilog DPI, DPI-SystemC, VHPI 等, 以及对第三方界面的独立 VXE 模型支持	
快速编译	RTL 单个工作站可高达 1.4 亿门每小时	
性能	高达 4MHz, 还有根据加速调整性能的内置 IXCOM 分析器	
高级调试	FullVision, InfiniTrace, 动态探针, SimVision 调试, 虚拟验证机 (VVM)、SDL, DPA 等	
灵活计时	支持庞大数量的同步、异步以及门控时钟	



Cadence Design Systems enables global electronic design innovation and plays an essential role in the creation of today's electronics. Customers use Cadence software, hardware, IP, and expertise to design and verify today's mobile, cloud, and connectivity applications. www.cadence.com